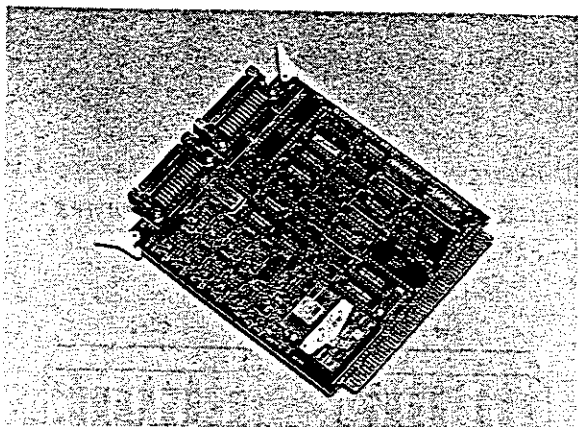


同時サンプリング型A/D変換モジュール

**AD12-8R(98)**

AD12-8R(98)は、シングルエンド8チャンネルのアナログ入力信号を同時にサンプリングできますので、8チャンネルの同時測定が可能です。ソフトウェアおよび内蔵プログラマブルタイマによる測定のほか、外部トリガ入力信号も利用できます。また、入力ゲインを4種類の中から選択することができます。本ボードは、プログラム可能なLSI(i8255)を搭載しており、24点のTTLレベルデジタル入出力を行うこともできます。

**特 長**

- シングルエンド入力8チャンネルを装備。
- 8チャンネル同時サンプリング。
- ユニポーラおよびバイポーラ入力に対応。
- ジャンパによるゲイン選択可能。
- A/D変換終了割り込み信号を出力。
- トリガタイミングは、ソフトウェア、内蔵プログラマブルタイマ出力、または外部トリガ信号の3つから選択可能。
- 変換データを16ワードのFIFOメモリに記憶。
- プログラム可能なLSI(i8255)を搭載しており、24点のTTLレベルデジタル入出力が可能。
- I/Oアドレスは、16ビットフルデコード。

**仕 様**

- 入力仕様 : 非絶縁入力  
バイポーラ.....  $\pm 10V$   
ユニポーラ.....  $0 \sim +10V$
- 入力信号の点数 : 8 (シングルエンド入力)
- 分解能 : 12ビット
- 変換方式 : 逐次比較型、8チャンネル同時サンプリング
- 変換速度 :  $170 \mu sec$
- スループットレート : 5.9KHz
- 変換精度 : リニアリティエラー $\pm 2LSB$ 以内
- サンプリングタイマ :  $200 \mu sec \sim 200sec$  (43段階)
- 入力インピーダンス :  $1 M\Omega$ 以上
- 外部トリガ : TTLレベル1点
- 入力ゲイン :  $\times 1$ 、 $\times 2$ 、 $\times 5$ 、 $\times 10$   
(全チャンネル同一ゲイン)
- 割り込み : A/D変換終了割り込み  
INT0~6のいずれか
- FIFOメモリ : 16ワード (2 バイト $\times 16$ )
- チャンネル間時間差 : 0 (同時サンプリング)
- デジタル入出力 : TTLレベル24点 (i8255使用)
- I/O アドレス : 8ビット $\times 16$ ポート占有
- 消費電流 : DC5V、1200mA (アナログ電源内蔵)
- 使用条件 :  $0 \sim 50^\circ C$ 、 $20 \sim 90\% RH$ 、結露なし

FIFO: First In First Out (先入れ先だし) の略。データを読むとき、投入側が投入した順にデータを読み出すことができます。

## 機能

AD12-8R(98)は、外部から与えられた8チャンネルのアナログ入力信号を、あらかじめ設定したトリガタイミング（ソフトウェア、プログラマブルタイマ、または外部トリガ）で同時にサンプリングし、各チャンネルを順次A/D変換します。

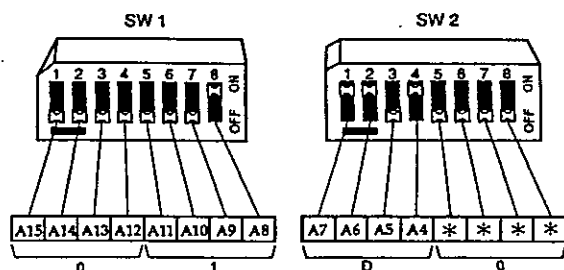
A/D変換されたデータはFIFOメモリに記憶され、本ボードを装着したコンピュータから自由に読出すことができます。

A/D変換サイクル終了時には、A/D変換終了信号が出力されますので、この信号を割込み要求信号として使用できます。

コンピュータからの本ボードに対するアクセスは、任意に設定できる16のI/Oポートを介して行います。コンピュータからこれらの出力ポートにコマンドを書込むことによって、変換開始、トリガ選択、プログラマブルタイマによるサンプリングタイム設定、デジタル入出力制御およびデータ設定を行うことができます。また、これらの入力ポートを読出すことによって、チャンネル番号、A/D変換データ、A/D変換状態、およびデジタル入出力データを得ることができます。

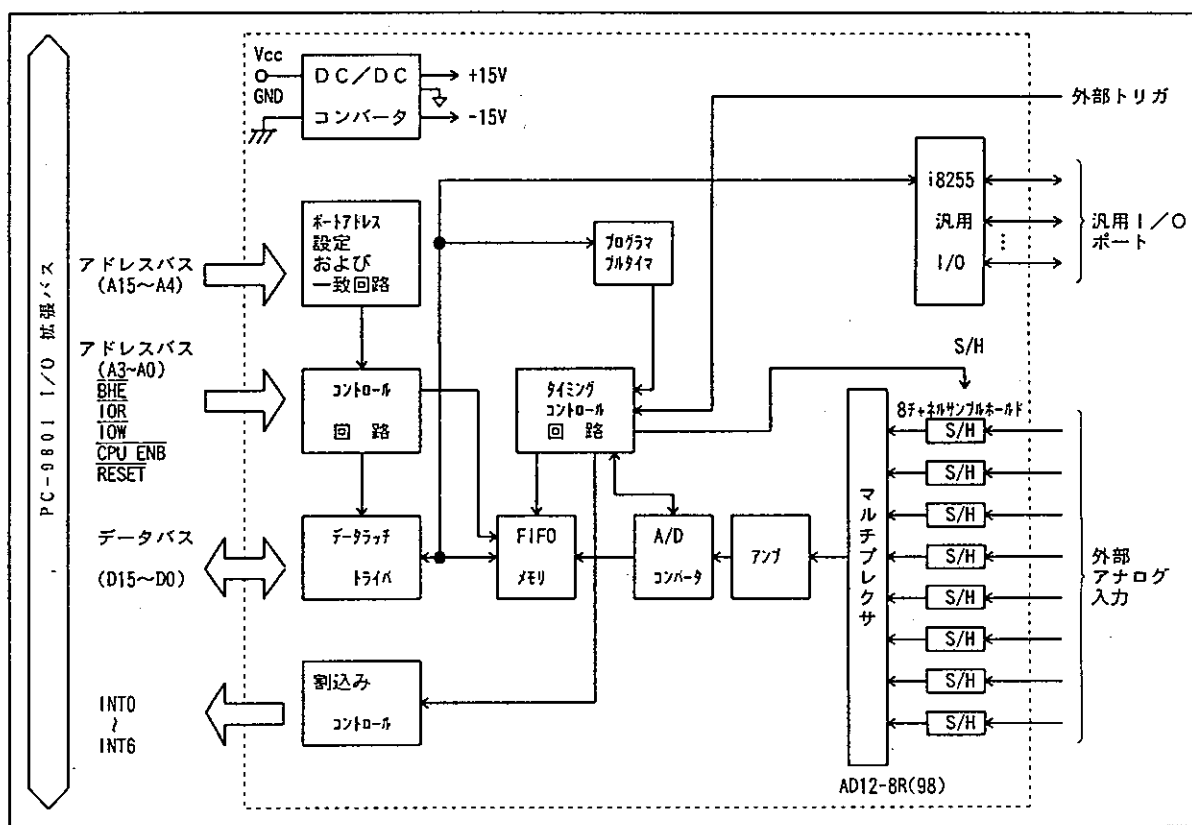
## I/Oアドレスの設定

AD12-8R(98)のI/Oアドレスは、コンピュータ側未使用I/Oアドレスに合わせて、ディップスイッチ(SW1とSW2)によって任意に設定することができます。本ボードで使用されるI/Oポートは16あり、それぞれのアドレスは連続しています。したがって、ディップスイッチでI/Oポート群の先頭アドレスを設定することにより、それ以降の連続した15のアドレスが決定されます。先頭アドレスは、0をベースに占有ポート数“16”の倍数を設定してください。下の図は、先頭アドレスを01D0Hに設定した例で、この先頭アドレスに続く01DFHまでのポートが占有されます。



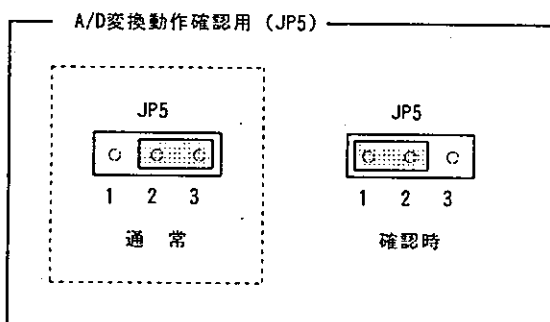
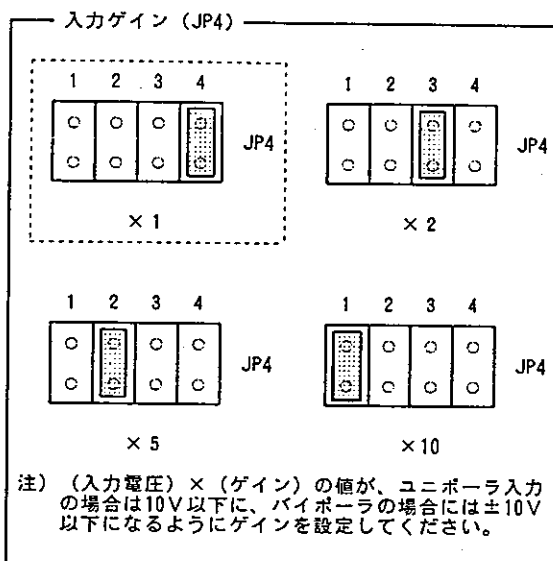
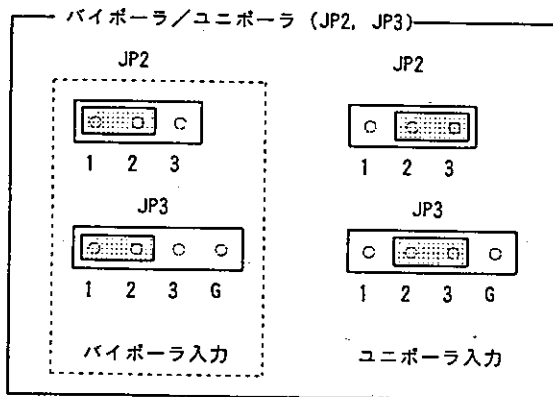
\*印は常に“OFF”に設定してください。

## 回路ブロック図



## 入力方式とゲインの選択

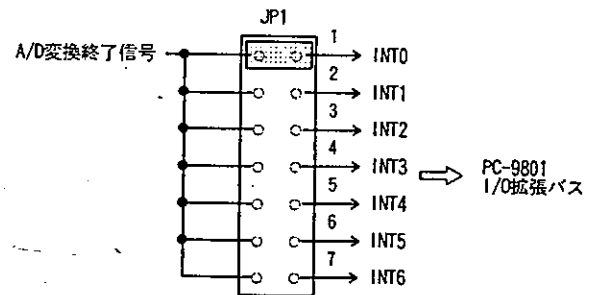
AD12-8R(98)には、ボード上に入力方式とゲインの選択ジャンパが用意されています。



は、出荷時設定を示します。

## 割込み信号の設定

AD12-8R(98)では、A/D変換終了時に出力されるA/D変換終了信号を割込み要求信号として使用することができます。この信号により割込み要求が出されますのでコンピュータの割込み機能を利用することができます。割込みを使用する時は、以下に示すジャンパ(JP1)でコンピュータ本体および他のインターフェイスで使用していないレベルに設定してください。



上の図は、割込みレベルINT 0に接続する場合のジャンパの状態を示します。出荷時はINT 0に設定してあります。

## I/Oポートのビットアサイン

コンピュータからのAD12-8R(98)に対するアクセスは、I/Oポートを介して行います。本ボードで使用されるI/Oポートのビット定義は以下の通りです。

### ●出力ポート

| 先頭<br>アドレス | D7               | D6        | D5  | D4         | D3  | D2  | D1  | D0  |
|------------|------------------|-----------|-----|------------|-----|-----|-----|-----|
| + 0        | タイマ<br>スタート      | 外部<br>トリガ |     | 変換<br>スタート |     |     |     |     |
| + 1        | 使用不可             |           |     |            |     |     |     |     |
| + 2        |                  | タイマ設定     |     |            |     |     |     |     |
|            |                  | CL6       | CL5 | CL4        | CL3 | CL2 | CL1 |     |
| + 3        | 使用不可             |           |     |            |     |     |     |     |
| + 4        | 使用不可             |           |     |            |     |     |     |     |
| + 5        | 使用不可             |           |     |            |     |     |     |     |
| + 6        | 使用不可             |           |     |            |     |     |     |     |
| + 7        | 使用不可             |           |     |            |     |     |     |     |
| + 8        | i 8255 ポート A     |           |     |            |     |     |     |     |
|            | PA7              | PA6       | PA5 | PA4        | PA3 | PA2 | PA1 | PA0 |
| + 9        | 使用不可             |           |     |            |     |     |     |     |
| + A        | i 8255 ポート B     |           |     |            |     |     |     |     |
|            | PB7              | PB6       | PB5 | PB4        | PB3 | PB2 | PB1 | PB0 |
| + B        | 使用不可             |           |     |            |     |     |     |     |
| + C        | i 8255 ポート C     |           |     |            |     |     |     |     |
|            | PC7              | PC6       | PC5 | PC4        | PC3 | PC2 | PC1 | PC0 |
| + D        | 使用不可             |           |     |            |     |     |     |     |
| + E        | i 8255 コントロールワード |           |     |            |     |     |     |     |
| + F        | 使用不可             |           |     |            |     |     |     |     |

## アナログ入出力

- 変換スタート : ソフトウェアによる変換スタートビット  
(1: 変換スタート)。
- 外部トリガ : 外部トリガ選択ビット(1: 外部トリガ入力  
信号立上りで変換スタート)。
- タイマスタート : タイマトリガ選択(1: タイマトリガ変換ス  
タート)。
- CL6~CL1 : プログラマブルタイマ周期の設定データ。  
タイマの設定値は次の表に示すようにCL6  
~CL1ビットの組合せで決まります。

単位: Hz

| 設定ビット | CL4 | 0   | 0   | 0 | 0    | 1   | 1  | 1   | 1    |
|-------|-----|-----|-----|---|------|-----|----|-----|------|
|       | CL5 | 0   | 0   | 1 | 1    | 0   | 0  | 1   | 1    |
| CL1   | CL2 | CL6 | CL3 | 0 | 1    | 0   | 1  | 0   | 1    |
| 0     | 0   | 0   | -   | - | -    | 600 | 60 | 6   | 0.6  |
| 0     | 0   | 1   | -   | - | -    | 600 | 60 | 6   | 0.6  |
| 0     | 1   | 0   | -   | - | 3 K  | 300 | 30 | 3   | 0.3  |
| 0     | 1   | 1   | -   | - | 2 K  | 200 | 20 | 2   | 0.2  |
| 1     | 0   | 0   | -   | - | 1.5K | 150 | 15 | 1.5 | 0.15 |
| 1     | 0   | 1   | -   | - | 1.2K | 120 | 12 | 1.2 | 0.12 |
| 1     | 1   | 0   | -   | - | 1 K  | 100 | 10 | 1   | 0.1  |
| 1     | 1   | 1   | -   | - | 5K   | 500 | 50 | 5   | 0.05 |

注) A/D変換に最大170  $\mu$  sec要しますので、タイマ値と  
して設定できるのは5KHz~0.005Hzの範囲内です。

- PA7~0, PB7~0, PC7~0 : デジタル入出力ポートA, Bおよび  
Cへの書き込みデータ。
- I8255コントロールワード : デジタル入出力ポートA, Bおよ  
びCの制御用ワード

### ●入力ポート

| 先頭<br>アドレス | D7                   | D6  | D5       | D4  | D3  | D2  | D1  | D0  |
|------------|----------------------|-----|----------|-----|-----|-----|-----|-----|
| +0         | データ入力チャンネル/A/D 変換データ |     |          |     |     |     |     |     |
|            | D7                   | D6  | D5       | D4  | D3  | D2  | D1  | D0  |
| +1         | 使用不可                 |     |          |     |     |     |     |     |
| +2         | 変換<br>中              | FS  | 変換<br>終了 |     |     |     |     |     |
| +3         | 使用不可                 |     |          |     |     |     |     |     |
| +4         | 使用不可                 |     |          |     |     |     |     |     |
| +5         | 使用不可                 |     |          |     |     |     |     |     |
| +6         | 使用不可                 |     |          |     |     |     |     |     |
| +7         | 使用不可                 |     |          |     |     |     |     |     |
| +8         | i8255 ポート A          |     |          |     |     |     |     |     |
|            | PA7                  | PA6 | PA5      | PA4 | PA3 | PA2 | PA1 | PA0 |
| +9         | 使用不可                 |     |          |     |     |     |     |     |
| +A         | i8255 ポート B          |     |          |     |     |     |     |     |
|            | PB7                  | PB6 | PB5      | PB4 | PB3 | PB2 | PB1 | PB0 |
| +B         | 使用不可                 |     |          |     |     |     |     |     |
| +C         | i8255 ポート C          |     |          |     |     |     |     |     |
|            | PC7                  | PC6 | PC5      | PC4 | PC3 | PC2 | PC1 | PC0 |
| +D         | 使用不可                 |     |          |     |     |     |     |     |
| +E         | 使用不可                 |     |          |     |     |     |     |     |
| +F         | 使用不可                 |     |          |     |     |     |     |     |

- FS : FIFOメモリのステータス(1: 変換  
データを保持)。
- 変換終了 : A/D変換終了ビット(1: 変換終了)。
- 変換中 : A/D変換中表示ビット(1: 変換中)。
- PA7~0, PB7~0, PC7~0 : デジタル入出力ポートA, BおよびCから  
の入力データ。

データ入力チャンネル/A/D変換データ :

このポートより2バイトずつ8回入力する事により、FIFOメ  
モリより8チャンネル分のA/D変換データとそのチャンネルNoを  
読み出します。

偶数回目にはA/D変換データのD7~D0を、奇数回目にはデー  
タD11~D8とそのチャンネルNoを読み出します。

| 偶数回目<br>先頭<br>アドレス<br>+0 | D7       | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|--------------------------|----------|----|----|----|----|----|----|----|
|                          | A/D変換データ |    |    |    |    |    |    |    |
|                          | D7       | D6 | D5 | D4 | D3 | D2 | D1 | D0 |

| 奇数回目<br>先頭<br>アドレス<br>+0 | D7         | D6 | D5 | D4       | D3  | D2  | D1 | D0 |
|--------------------------|------------|----|----|----------|-----|-----|----|----|
|                          | データ入力チャンネル |    |    | A/D変換データ |     |     |    |    |
|                          | C2         | C1 | C0 |          | D11 | D10 | D9 | D8 |

- C3~C0 : 変換データがどのチャンネルのものであるか示しま  
す。
- D11~D0 :  $2^{11} \sim 2^0$ の重みを持つ変換データ。この変換され  
た入力データと電圧の関係は次の通りです。なお、  
計算時には式中のデジタル値を10進数に直してから  
結果を求めてください。
- バイポーラ設定時(オフセットバイナリ)

$$VOLT = \frac{\frac{\text{デジタル値}}{4096} \times \text{フルスケールレンジ} - \frac{\text{フルスケールレンジ}}{2}}{\text{ゲイン}} \left[ \begin{array}{l} +10V \text{ FFFH} \\ 0V \text{ 800H} \\ -10V \text{ 000H} \end{array} \right]$$

- ユニポーラ設定時(ストレートバイナリ)

$$VOLT = \frac{\frac{\text{デジタル値}}{4096} \times \text{フルスケールレンジ}}{\text{ゲイン}} \left[ \begin{array}{l} +10 \text{ FFFH} \\ 0V \text{ 000H} \end{array} \right]$$

計算例 設定がバイポーラ、 $\pm 10$ ボルトレンジ、ゲイン $\times 1$   
で、読込んだデジタル値が2355(933H)の時には、次  
式より電圧値が約1.5Vになります。

$$VOLT = \frac{\frac{2355}{4096} \times 20 - \frac{20}{2}}{1} \approx 1.5 \text{ [Volt]}$$

## デジタル入出力

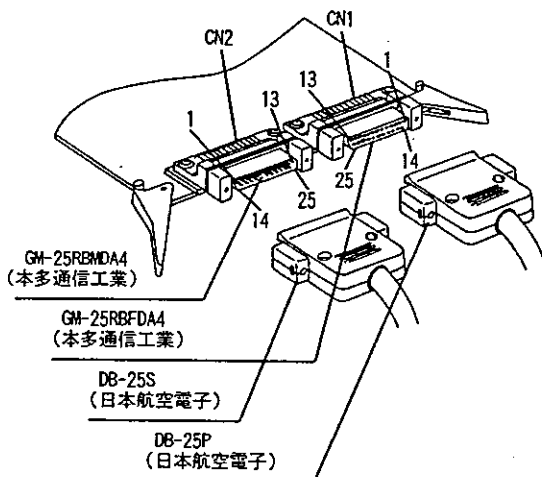
プログラム可能なLSI i8255を使用しており、3つの8ビットポートを持っています。“出力ポート+E”のi8255コントロールワードにデータを設定することにより、各I/Oポートの動作モードおよび入出力方向をフレキシブルに設定することができます。以下に動作モードの概要について簡単に述べます。

| 動作モード | 内 容                | 対象ポート  |
|-------|--------------------|--------|
| 0     | ベーシック インプット アウトプット | PA, PB |
| 1     | ストローブ インプット アウトプット | PA, PB |
| 2     | 双方向バス              | PAのみ   |

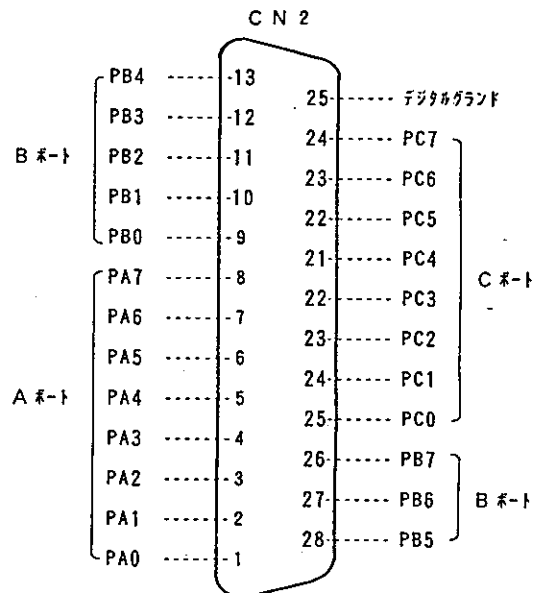
注) ポートA(PA) : 出力ラッチバッファ、入力ラッチ有。  
 ポートB(PB) : 出力ラッチバッファ、入力バッファ有。  
 ポートC(PC) : 出力ラッチバッファ、入力バッファ有。

## 外部インターフェイス

AD12-8R(98)には、CN1(アナログ入力用)とCN2(デジタル入出力用)の2つの外部インターフェイスコネクタがあります。CN1には、アナログ入力用ピンのほか、外部トリガ信号入力用ピンが用意されています。接続できるアナログ入力点数はシングルエンド入力8点です。CN2には、TTLレベルのデジタル入出力信号を24点接続することができます。

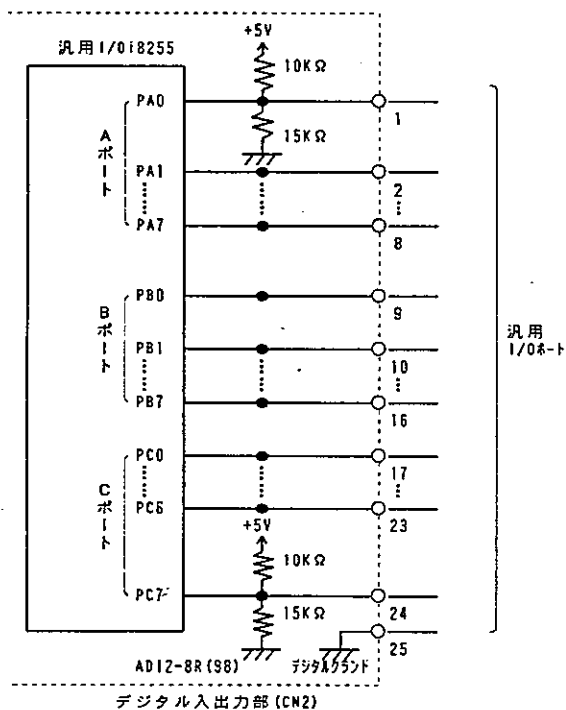
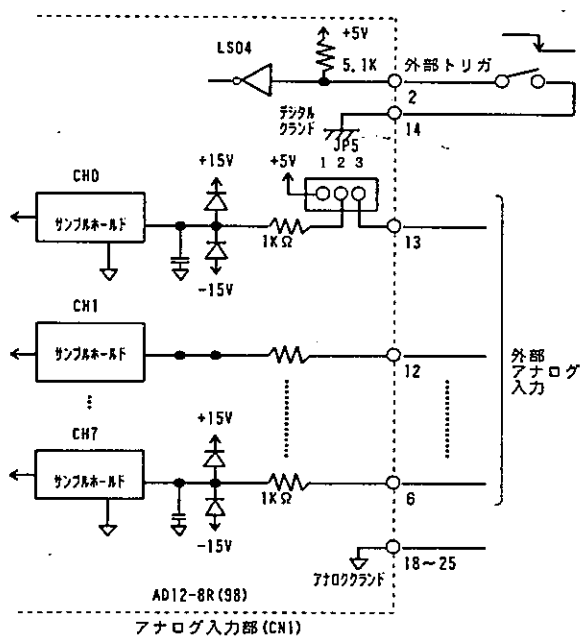


外部接続コネクタ信号配置



## 外部入力回路

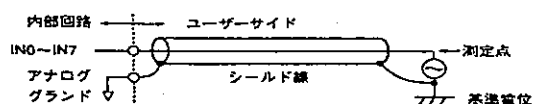
AD12-8R(98)における外部インターフェイス部の入力回路は下図の通りです。CN1のアナログ入力部には保護回路が設けられていますが、アナロググラウンドを基準にして $\pm 15V$ を越えない範囲で使用してください。また、外部トリガ入力部は内部でプルアップされていますので、外部トリガラインではプルアップの必要はありません。このトリガ入力は、TTLレベルで“High”から“Low”への立下りエッジによりトリガがかかり、A/D変換が一回行われます。CN2のデジタル入出力部はTTLレベルです。



## アナログ入力の接続方法

本ボードとアナログ信号源が近い場合には、ツイストケーブル等で直接接続できます。また、ノイズの多い環境や信号源との距離が長い場合などには、シールド線を用いるようにしてください。シールド線を用いた接続方法を以下に示します。

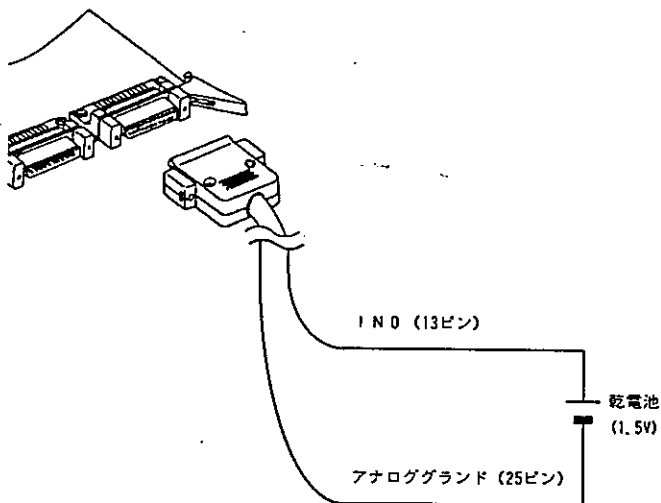
- シールド線を使用した接続  
シングルエンド入力



注) 使用しない入力チャンネルはアナロググラウンドに短絡してください。

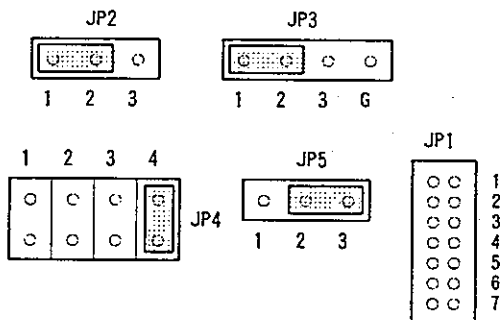
## 使用例

AD12-8R(98)の使用例として、チャンネル0～7に与えられた入力信号をA/D変換するBASICプログラムを以下に示します。この例では、得られた変数データをコンピュータの画面にチャンネルごとに表示します。このプログラムを実行させるための入力ラインへの信号源接続例と、本ボード上のジャンパおよびディップスイッチの設定条件は次の通りです。ただし、この接続例では、入力信号源として乾電池を使用し、チャンネル0のみに入力信号を与えます。

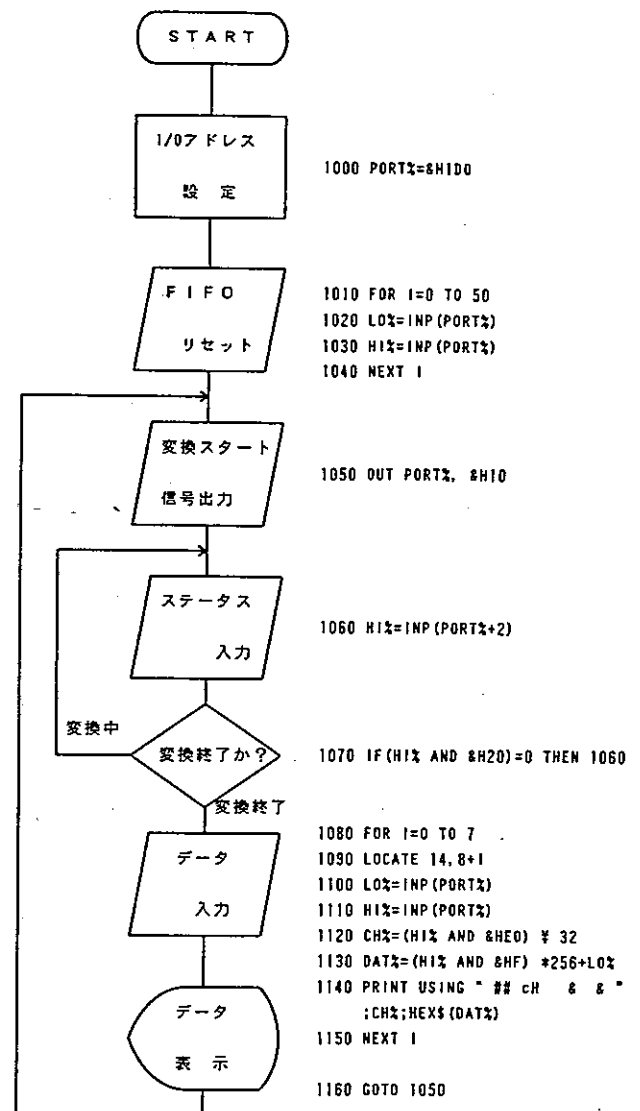


### 使用例の設定条件

- I/O アドレスの設定: 01D0H (SW1, SW2)
- 変換レンジ: バイポーラ±10V (JP2, JP3)
- 入力ゲイン: ×1 (JP4)
- A/D 変換: 通常動作 (JP5)
- 割込みの設定: 使用しませんので、ショートピンを抜いてください (JP1)



## フローチャート BASICプログラム



## 商品構成

AD12-8R(98)ご購入時には、次のもので構成されています。

- AD12-8R(98)ボード ..... 1
- 25ピンコネクタ DB-25P-N ..... 1
- 25ピンコネクタ DB-25S-N ..... 1
- コネクタジャンクションシエル ..... 2
- スロットカバー ..... 1
- 解説書 ..... 1
- 顧客カード ..... 1