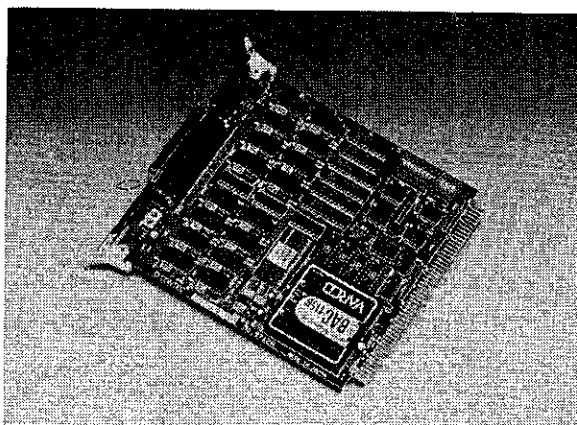


ゲインアンプ内蔵
同時サンプリング型A/D変換モジュール

AD12-16RT(98) AD12-8RT(98)

AD12-16RT(98) ￥198,000
AD12-8RT(98) ￥156,000



AD12-16RT(98)はシングルエンド入力16チャンネル、AD12-8RT(98)はシングルエンド入力8チャンネルのアナログ入力信号の同時サンプリング、または任意のチャンネルのみのサンプリングが可能です。内蔵プログラマブルタイマによる測定のほか、外部トリガ入力信号も利用できます。また、内蔵プログラマブルゲインアンプにより幅広い信号レベルに対応でき、入力ゲインを3種類の中から選択することができます。

特 長

- AD12-16RT(98)はシングルエンド入力16チャンネルを装備。
AD12-8RT(98)はシングルエンド入力8チャンネルを装備。
- 8チャンネル(8RT)、16チャンネル(16RT)を0チャンネルから任意のチャンネルまでの同時サンプリングが可能。または任意のチャンネルのみのサンプリングが可能。
- プログラマブルゲインアンプにより、広い電圧範囲のユニポーラおよびバイポーラ入力に対応。
- ソフトウェアによりゲインを設定可能。
- A/D変換終了割込み信号を出力。
- トリガタイミングは、内蔵プログラマブルタイマ出力、または外部トリガ信号のいずれかを選択可能。
- トリガ入力により、直接A/D変換スタートが可能。
- 割込みはトリガ入力時またはA/D変換終了時のいずれかを選択可能。
- 変換データを16ワードのFIFOメモリに記憶。
- I/Oアドレスは、16ビットフルデコード。

仕 様

- 入力仕様 : 非絶縁入力
バイポーラ..... $\pm 10V$ 、 $\pm 5V$
ユニポーラ..... $0 \sim +10V$
- 入力信号の点数 : ・AD12-16RT(98)
16 (シングルエンド入力)
・AD12-8RT(98)
8 (シングルエンド入力)
- 分解能 : 12ビット
- 変換方式 : 逐次比較型、16チャンネルまたは8チャンネル同時サンプリング
- 変換速度 : $18 \mu\text{sec}$ /チャンネル MAX
- 変換精度 : リニアリティエラー
 $\pm 2\text{LSB}$ 以内(ゲイン1)
 $\pm 4\text{LSB}$ 以内(ゲイン10)
 $\pm 15\text{LSB}$ 以内(ゲイン100)
- 内部タイマ : $2 \mu\text{sec} \sim 7 \times 10^{13} \mu\text{sec}$ ($1 \mu\text{sec}$ 単位)
- 入力インピーダンス : $1M\Omega$ 以上
- 外部トリガ : TTLレベル1点
- 入力ゲイン : $\times 1$ 、 $\times 10$ 、 $\times 100$
- 割込み : 外部トリガ、タイマタイムアップ、変換終了により割込み発生
INT0~6のいずれか
- FIFOメモリ : 16ワード (2バイト $\times$ 16)
- チャンネル時間差 : 0 (同時サンプリング)
- I/Oアドレス : 8ビット $\times$ 16ポート占有
- 消費電流 : ・AD12-16RT(98)の場合
DC5V、2500mA (アナログ電源内蔵)
DC5V、800mA (外部供給電源使用時)
・AD12-8RT(98)の場合
DC5V、2100mA (アナログ電源内蔵)
DC5V、800mA (外部供給電源使用時)
- 使用条件 : $0 \sim 50^\circ\text{C}$ 、20~90%RH、結露なし

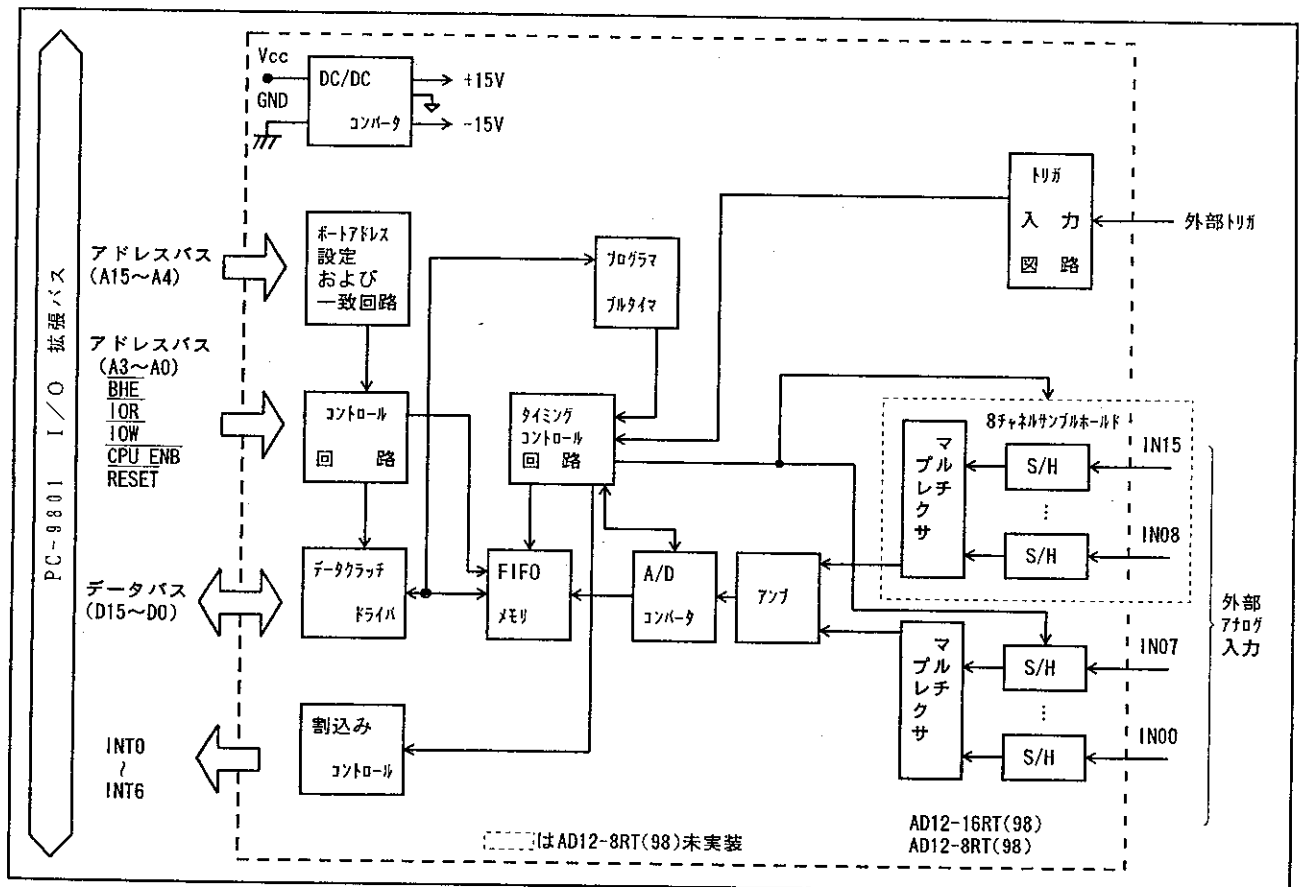
FIFO: First In First Out (先入れ先出し) の略。

データを読むとき、投入側が投入した順にデータを読出すことができます。

機能

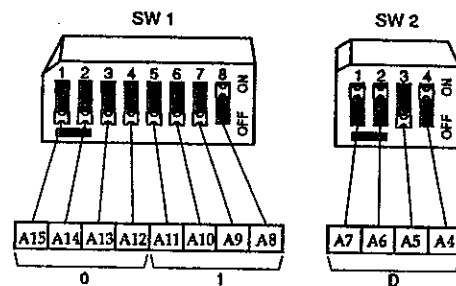
AD12-16RT(98)およびAD12-8RT(98)は、外部から与えられた16および8チャンネルのアナログ入力信号を、あらかじめ設定したスタートモード(ソフトウェアスタート、またはトリガスタート)で同時にサンプリングし、各チャンネルを順次A/D変換します。また、任意に指定したチャンネルのみをサンプリングしA/D変換することもできます。A/D変換されたデータは、FIFOメモリに記憶され、本ボードを装着したコンピュータから自由に読出すことができます。A/D変換サイクル終了時には、A/D変換終了信号が出力されますので、この信号を割込み要求信号として使用できます。コンピュータからの本ボードに対するアクセスは、任意に設定できる16のI/Oポートを介して行います。コンピュータからこれらの出力ポートにコマンドを書込むことによって、チャンネル選択、変換開始、割込みレベル選択、トリガ選択、プログラマブルタイマによるサンプリングタイム設定等を行うことができます。また、これらの入力ポートを読出すことによって、チャンネル番号、トリガ入力(割込み入力)、変換状態および変換データ等を得ることができます。

回路ブロック図



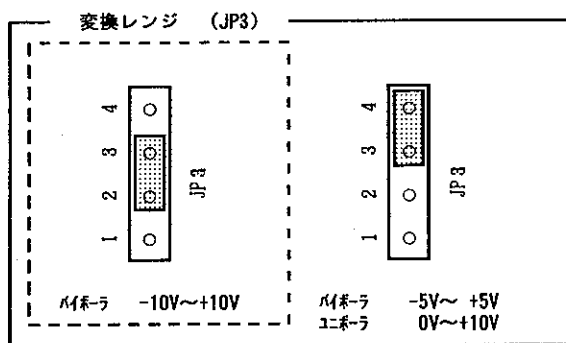
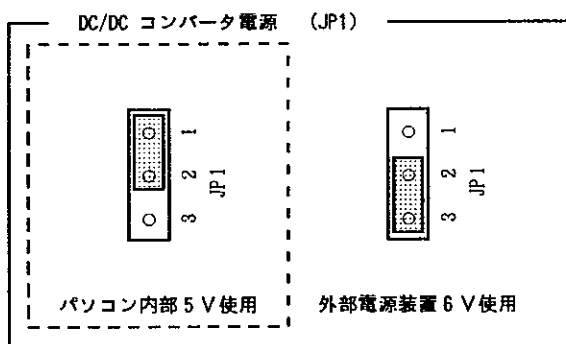
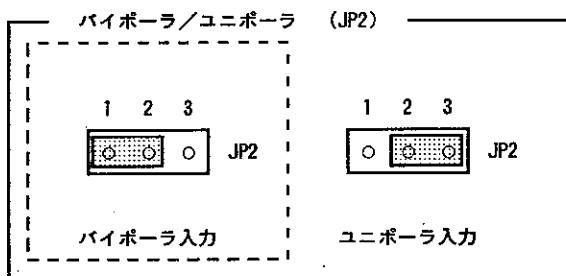
I/Oアドレスの設定

AD12-16RT(98)およびAD12-8RT(98)のI/Oアドレスは、コンピュータ側未使用I/Oアドレスに合わせて、ディップスイッチ(SW1とSW2)によって任意に設定することができます。本ボードで使用されるI/Oポートは16あり、それぞれのアドレスは連続しています。したがって、ディップスイッチでI/Oポート群の先頭アドレスを設定することにより、それ以降の連続した15のアドレスが決定されます。先頭アドレスは、0をベースに占有ポート数"16"の倍数を設定してください。下の図は、先頭アドレスを01D0Hに設定した例で、この先頭アドレスに続く01DFHまでのポートが占有されます。



入力方式と変換レンジ等の選択

AD12-16RT(98)およびAD12-8RT(98)には、ボード上に入力方式、変換レンジ、およびDC/DCコンバータ電源の選択ジャンパが用意されています。



は、出荷時設定を示します。

I/Oポートのビットアサイン

コンピュータからのAD12-16RT(98)およびAD12-8RT(98)に対するアクセスは、I/Oポートを介して行います。本ボードで使用されるI/Oポートのビット定義は以下の通りです。

・出力ポート

	D7	D6	D5	D4	D3	D2	D1	D0
先頭 アドレス +0	変換 スタート	ゲイン設定		未使用	チャネルデータ			
		C1	C0		C3	C2	C1	C0
+1	オール リセット	未使用					エラー ステータス リセット	トリガ ステータス リセット
+2	タイマ/ゲート	サンプリング モード設定	スタートモード 設定	トリガ 選択	割込み モード選択	割込みレベル選択		
						D2	D1	D0
+3	(使用不可)							
+4	(使用不可)							
+5	(使用不可)							
+6	(使用不可)							
+7	(使用不可)							
+8	カウンタ 0 データ							
+9	(使用不可)							
+A	カウンタ 1 データ							
+B	(使用不可)							
+C	カウンタ 2 データ							
+D	(使用不可)							
+E	コントロールワードレジスタ							
+F	(使用不可)							

チャンネルデータ(C3~C0) : チャンネル選択ビット (0~15)

注) AD12-8RT(98)では、C3は使用不可。

ゲイン設定 : ゲインアンプのゲイン設定ビット。ゲインと設定データとの関係は次の通りです。

ゲ イ ン	D6	D5
1倍	0	0
10倍	0	1
100倍	1	0
設定禁止	1	1

変換スタート : A/D変換スタートビット。

(1: 変換スタート)

トリガステータスリセット : トリガ入力ステータスおよびトリガオーバーランステータスリセットビット。

(1: リセット)

エラーステータスリセット : 格納オーバーランステータスリセットビット。

(1: リセット)

オールリセット : ハードウェアリセットビット

(1: リセット)

本ボードは電源投入時の初期状態にリセットされます。

割込みレベル選択(D2~D0) : "割込みレベルの設定" 参照。

割込みモード選択 : "割込みレベルの設定" 参照。

トリガ選択 : "割込みレベルの設定" 参照。

スタートモード設定 : 変換スタートを、ソフトウェアで行うかトリガ入力で行うかを設定。

(1: トリガスタート、0: ソフトウェアスタート)

サンプリングモード設定 : 同時サンプリングまたは単一サンプリング設定。

(1: 同時サンプリング、
0: 単一サンプリング)

タイマゲート : タイマゲートON/OFF制御ビット。

(1: タイマON)

カウンタ0、1、2 データ : プログラマブルタイマカウンタへのプリセットデータ。

コントロールワードレジスタ : プログラマブルタイマ制御用ポート。

・入力ポート

先頭 アドレス	D7	D6	D5	D4	D3	D2	D1	D0
+0	A/D 変換データ							
	D7	D6	D5	D4	D3	D2	D1	D0
+1	A/D 変換データ							
	C3	C2	C1	C0	D11	D10	D9	D8
+2	格納 オーバーラン	格納 終了	トリガ オーバーラン	トリガ 入力	割込み モード	割込みレベル		
						D2	D1	D0
+3	(使用不可)							
+4	(使用不可)							
+5	(使用不可)							
+6	(使用不可)							
+7	(使用不可)							
+8	カウンタ 0 データ							
+9	(使用不可)							
+A	カウンタ 1 データ							
+B	(使用不可)							
+C	カウンタ 2 データ							
+D	(使用不可)							
+E	(使用不可)							
+F	(使用不可)							

A/D変換データ(D11~D0) : $2^{11} \sim 2^0$ の重みを持つ変換データ。この変換された入力データと電圧の関係は次の通りです。なお、計算時には、式中のデジタル値を10進数に直してから結果を求めてください。

●バイポーラ設定時

$$VOLT = \frac{\frac{\text{デジタル値}}{4096} \times \frac{\text{フルスケールレンジ}}{\text{ゲイン}} - \frac{\text{フルスケールレンジ}}{2}}$$

MAX	FFFF
0V	800H
MIN	000H

●ユニポーラ設定時

$$VOLT = \frac{\frac{\text{デジタル値}}{4096} \times \frac{\text{フルスケールレンジ}}{\text{ゲイン}}}{2} \left[\begin{array}{cc} \text{MAX} & \text{FFFF} \\ \text{0V} & \text{800H} \\ \text{MIN} & \text{000H} \end{array} \right]$$

計算例：設定がバイポーラ、±10ボルトレンジ、ゲイン×1で、読んだデジタル値が2355(933H)の時には、次式より電圧値が約1.5Vになります。

$$VOLT = \frac{\frac{2355}{4096} \times 20 - \frac{20}{2}}{1} = 1.5[Volt]$$

チャンネルデータ(C3~C0) : チャンネル選択表示ビット(0~15)
注) AD12-8RT(98)は、C3は使用不可。

割込みレベル(D2~D0) : 設定されている割込みレベルのモニタビット。
”割込みレベルの設定”参照。

割込みモード : 割込みの起こる要因が、トリガ入力か変換終了かをモニタするビット。

トリガ入力 : 外部トリガ入力またはプログラマブルタイマカウンタアップ確認入力。
(1:入力)

トリガ入力ステータスリセットまたはオールリセット出力にてリセット。

トリガオーバーラン : トリガ入力ステータスがすでに1になっているときに次のトリガ入力を検出すると1になります。
トリガ入力ステータスリセットまたはオールリセット出力にてリセット。

格納終了 : 1回分のA/D変換データがす

べてメモリに格納されたときに設定されるビット。

(1:格納終了)

格納オーバーラン

:メモリ内の変換データをすべて読込む前に、次の回の最初の変換が開始されると1になります。

トリガ入力ステータスリセットまたはオールリセット出力にてリセット。

カウンタ0、1、2 データ

:プログラマブルタイマのカウンタ内容。

割込み信号の設定

出力ポート+2のD4~D0ビットの設定により、割込み内容を選択します。

●トリガ選択(D4)

内部プログラマブルタイマのタイムアップによる割込みか、または外部トリガ入力信号の”High”から”Low”の立下りによる割込みかの選択を行います。

D4	割込み要因選択
0	プログラマブルタイマのタイムアップ
1	外部トリガ入力信号の立下り

●割込みモード(D3)

割込みを使用する際、割込みの起こる原因が、トリガ入力かA/D変換終了時に発生する信号かを設定します。

D3	割込みモード
0	トリガ入力
1	変換終了

● 割込みレベル(D2~D0)

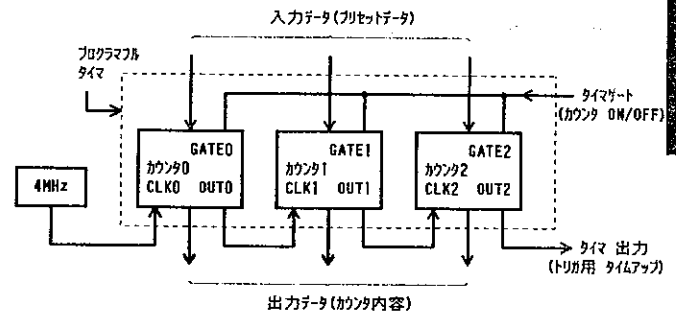
D2~D0 の組合せにより以下のように割込みレベルを選択することができます。

割込みレベル	D2	D1	D0
禁止	0	0	0
INT 0	0	0	1
INT 1	0	1	0
INT 2	0	1	1
INT 3	1	0	0
INT 4	1	0	1
INT 5	1	1	0
INT 6	1	1	1

“入力ポート+1”のD4ビット(トリガ入力)が0から1に変化したとき、すなわちプログラマブルタイマがタイムアップするか、または外部トリガ入力を受け付けられたときに、設定した割込みレベルに割込み信号が出力されます。

プログラマブルタイマコントロール

プログラマブルタイマを使って周期信号を発生させ、A/D変換を周期的に実行させることができます。プログラマブルタイマは、カウンタ0、1、2の3つのカウンタから構成され、下図に示すように各カウンタはカスケード接続されています。



“出力ポート+E” (コントロールワードレジスタ) により、各カウンタは次のように制御されます。

コントロールワードレジスタ内容	機能
34H 74H B4H	カウンタ0 選択 (データ書き込み) カウンタ1 選択 (データ書き込み) カウンタ2 選択 (データ書き込み)
04H 44H 84H	カウンタ0 選択 (データ読取り) カウンタ1 選択 (データ読取り) カウンタ2 選択 (データ読取り)

カウンタに書き込むデータと、カウンタがオーバーフローし、割込みを発生する周期との関係は次式から求められます。

$$0.25 \times C0 \times C1 \times C2 (\mu\text{sec})$$

C0~C2 : カウンタ0~2 に書込んだデータ

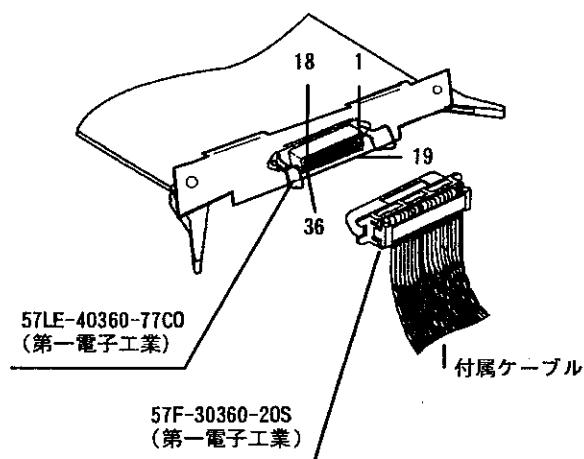
$$2 \leq \text{カウンタ書き込みデータ} \leq \text{FFFFH}$$

計算例: 1msec周期でプログラマブルタイマを動作させる場合。

$$\begin{aligned} &0.25 \times 4\text{H} \times \text{AH} \times 64\text{H} \\ &= 0.25 \times 4 \times 10 \times 100 \\ &= 1000 \mu\text{sec} = 1\text{msec} \end{aligned}$$

外部インターフェイス

AD12-16RT(98)およびAD12-8RT(98)の外部インターフェイスコネクタには、アナログ入力用ピンのほかに、外部トリガ信号入力用ピンが用意されています。接続できるアナログ入力点数はシングルエンド入力で16点(AD12-8RT(98)の場合8点)です。



外部接続コネクタ信号配置

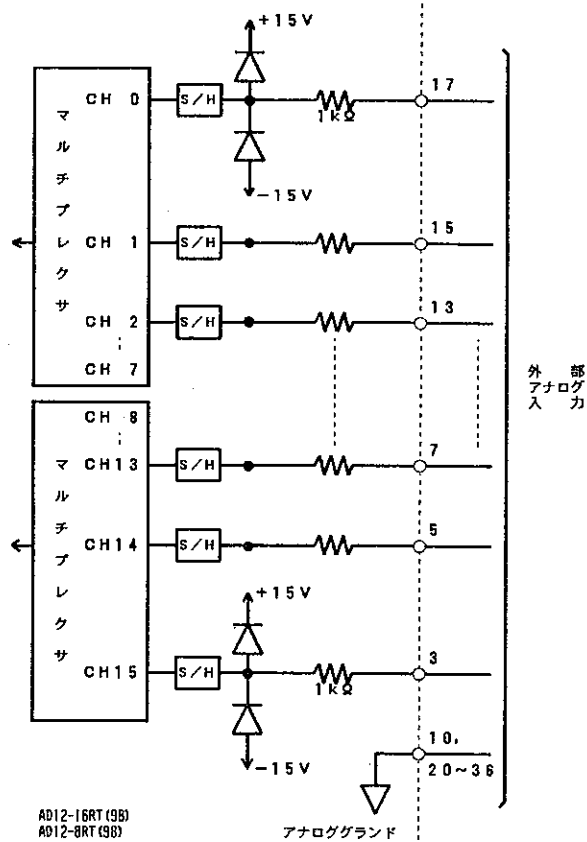
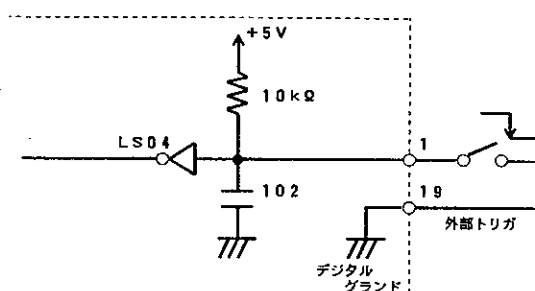
外部トリガ	1	19	デジタルグランド
IN7	2	20	アナロググランド
IN15	3	21	"
IN6	4	22	"
IN14	5	23	"
IN5	6	24	"
IN13	7	25	"
IN4	8	26	"
IN12	9	27	"
アナロググランド	10	28	"
IN3	11	29	"
IN11	12	30	"
IN2	13	31	"
IN10	14	32	"
IN1	15	33	"
IN9	16	34	"
IN0	17	35	"
IN8	18	36	アナロググランド

注) AD12-8RT(98)では、3、5、7、9、12、14、16、18ピンは未接続になっています。

外部入力回路

AD12-16RT(98)およびAD12-8RT(98)における外部インターフェイス部の入力回路は下図の通りです。

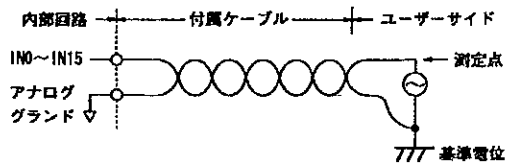
アナログ入力部には保護回路を設けてありますが、アナロググランドを基準にして±15Vを超えない範囲で使用してください。また、外部トリガ入力部は内部でプルアップされていますので、外部トリガラインではプルアップの必要はありません。このトリガ入力は、TTLレベルで"High"から"Low"への立下りエッジによりトリガ入力ステータスがセットされ、割込み入力が設定されているときは、指定されたレベルに割込みが発生します。トリガパルス最小幅は、500nsecです。



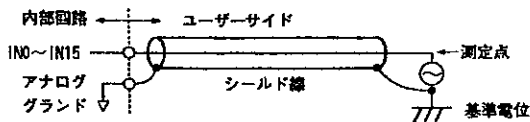
アナログ入力の接続方法

本ボードとアナログ信号源が近い場合には、付属ケーブルで直接接続できます。また、ノイズの多い環境や信号源との距離が長い場合などには、シールド線を用いるようにしてください。接続方法を以下に示します。

- 付属ケーブルを使用した接続
シングルエンド入力



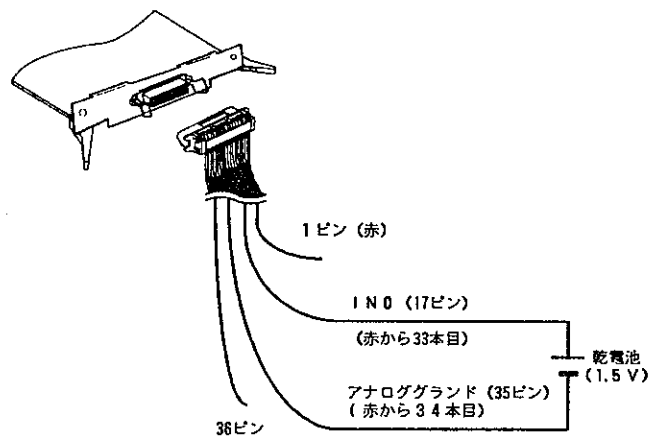
- シールド線を使用した接続
シングルエンド入力



注) 使用しない入力チャンネルは、アナロググランドに短絡してください。

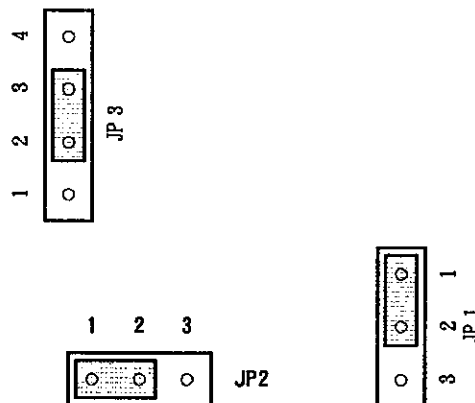
使用例

AD12-16RT(98)およびAD12-8RT(98)の使用例として、チャンネル0に与えられた入力信号をA/D変換するBASICプログラムを以下に示します。この例では、チャンネル0を設定した後、A/D変換を実行します。そして、得られた変換データをコンピュータの画面にスクロールしながら表示します。なお、この例では入力信号源として乾電池を使用します。このプログラムを実行させるための入力ラインへの信号源接続例と、本ボード上のジャンパおよびディップスイッチの設定条件は次の通りです。

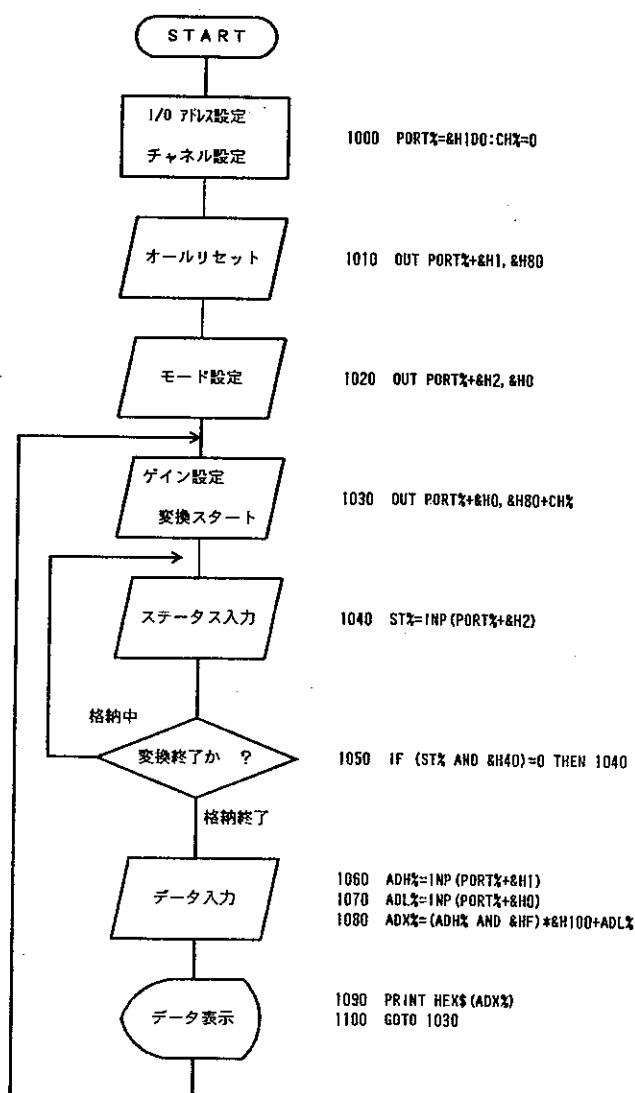


使用例の設定条件

- I/O アドレスの設定: 01D0H (SW1, SW2)
- 変換レンジ: バイポーラ $\pm 10V$ (JP2, JP3)
- DC/DC コンバータ電源: パソコン内部5V使用 (JP1)



フローチャート サンプルプログラム



商品構成

AD12-16RT(98)およびAD12-8RT(98)ご購入時には、次のもので構成されています。

- AD12-16RT(98)またはAD12-8RT(98)ボード..... 1
- 36芯ツイストペアケーブル..... 1
(1.5m、片端コネクタ付き)
- 解説書..... 1
- サンプルソフト..... 1
(5インチ2HD)
- 顧客カード..... 1

サポートソフトウェア

AD12-16RT(98)およびAD12-8RT(98)をサポートするソフトウェアには、次のものがあります。

- サンプルソフトウェア (標準添付)
5インチ2HD、OS:MS-DOS

・BASICプログラムによる使用方法サンプル

- (1)0~15(0~7)チャンネルのA/D変換データを順次取込み、CRT上に16進数値で表示します。
- (2)0チャンネルから任意のチャンネルまで同時サンプリングを行い、FIFOメモリに格納されたA/D変換データを読み込み、CRT上に16進数値で表示します。

・C言語(MS-C)による使用方法サンプル

- (1)0チャンネルから任意のチャンネルまで同時サンプリングを行い、FIFOメモリに格納されたA/D変換データを読み込み、CRT上に16進数値で表示します。

・BASICと機械語のリンク例

- (1)0チャンネルからA/D変換データを300 μ sec毎に100回取込み、CRT上に波形表示します。

・割込みによる使用方法サンプル

- (1)0チャンネルからA/D変換データを20msec毎に500回取込み、CRT上に波形表示します。