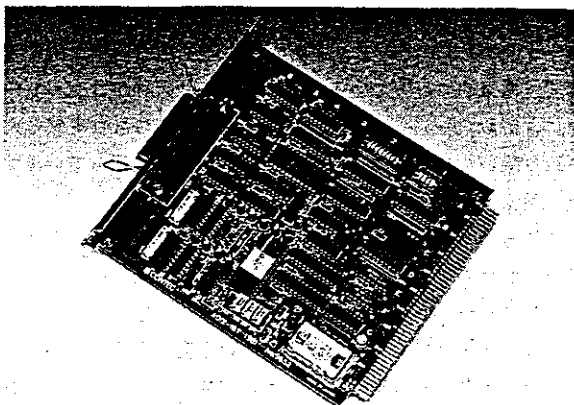


高速型A/D変換モジュール

AD12-8T(98) AD12-16T(98) AD12-16TA(98)

AD12-8T(98)	¥ 96,000
AD12-16T(98)	¥ 118,000
AD12-16TA(98)	¥ 129,000



AD12-16Tシリーズに入力できるアナログ信号は

- ・8T(98)の場合、シングルエンド入力で8チャンネル
- ・16T(98)の場合、シングルエンド入力で16チャンネル
- ・16TA(98)の場合、シングルエンド入力で16チャンネル、差動入力で8チャンネルです。

プログラマブルタイマを使って周期的な測定を容易に行うことができます。また、外部トリガ信号を使用することもできます。

特 長

- ・高速(20 μ sec/チャンネル)でA/D変換を行い、変換されたデータは、次のA/D変換が終了するまで保持。
- ・広い電圧範囲のユニポーラおよびバイポーラ入力に対応。
- ・A/D変換終了信号を出力。
- ・トリガタイミングは、内蔵プログラマブルタイマ出力または外部トリガ信号のいずれか選択可能。
- ・I/Oアドレスは、16ビットフルデコード。

仕 様

- ・入力仕様 : 非絶縁入力
バイポーラ $\pm 10V$ 、 $\pm 5V$
ユニポーラ $0 \sim +10V$
- ・入力信号の点数 : ・AD12-8T(98)の場合
8 (シングルエンド入力)

- ・AD12-16T(98)の場合
16 (シングルエンド入力)

- ・AD12-16TA(98)の場合
16 (シングルエンド入力)

- 8 (差動入力)

- ・分解能 : 12ビット
- ・変換方式 : 逐次比較型(AD674AK相当品)
- ・変換速度 : 約20 μ sec/チャンネル
- ・スループットレート : 50KHz
- ・変換精度 : リニアリティエラー $\pm 2LSB$ 以内
- ・内部タイマ : 2 μ sec $\sim 7 \times 10^7$ sec(1 μ sec単位)
- ・入力インピーダンス : 1M Ω 以上
- ・外部トリガ : TTLレベル1点
- ・割込み : 外部トリガ、プログラマブルタイマを割込み入力可
INT0 $\sim$ 6のいずれか
- ・I/Oアドレス : 8ビット $\times$ 16ポート占有
- ・消費電流 : ・8T(98)、16T(98)の場合
DC5V、680mA(アナログ電源内蔵)
・16TA(98)の場合
DC5V、700mA(アナログ電源内蔵)
- ・使用条件 : 0 $\sim$ 50 $^{\circ}C$ 20 $\sim$ 90%RH 結露なし

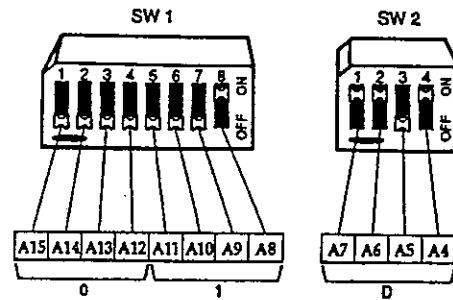
機 能

AD12-8T(98)、-16T(98)、-16TA(98)は、本ボードを装着したコンピュータから変換スタート指令とチャンネルデータを受信すると、指定されたチャンネルのアナログ入力信号をA/D変換します。A/D変換の終了は、変換終了フラグによってコンピュータに通知され、コンピュータは変換データをI/Oポートから読むことができます。外部トリガ信号入力またはプログラマブルタイマのタイムアップを、フラグまたは指定レベルの割込みで通知することができ、コンピュータのソフトウェアでこれを受けて、A/D変換のタイミングをとることもできます。

コンピュータからの本ボードに対するアクセスは、任意に設定できる16のI/Oポートを介して行います。コンピュータからこれらの出力ポートにデータを書込むことによって、チャンネル選択、変換開始、割込みレベル選択、トリガ選択、プログラマブルタイマによるサンプリングタイム設定等を行うことができます。また、これらの入力ポートを読み出すことによって、変換状態、トリガ入力(割込み入力)状態、変換データ等を得ることができます。

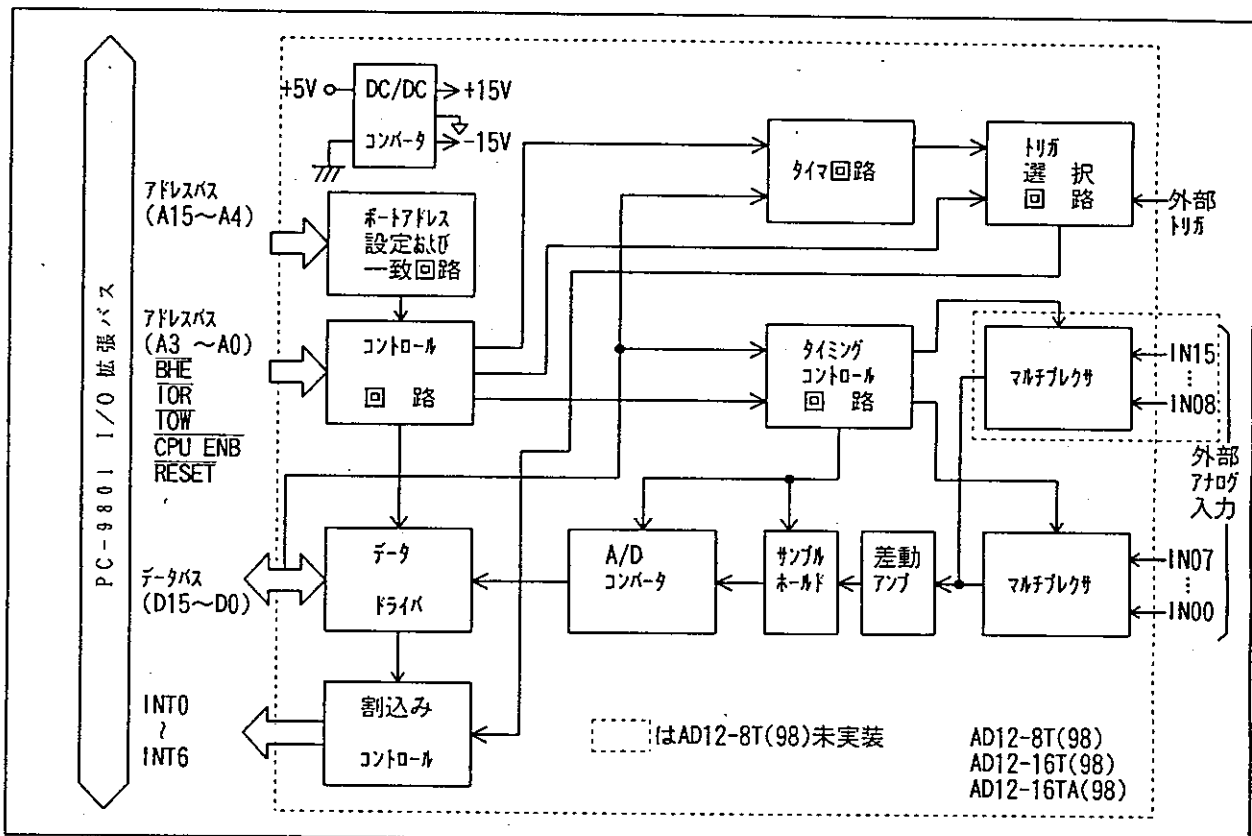
I/Oアドレスの設定

AD12-8T(98),-16T(98),-16TA(98)のI/Oアドレスは、コンピュータ側未使用I/Oアドレスに合わせて、ディップスイッチ(SW1とSW2)によって任意に設定することができます。本ボードで使用されるI/Oポートは16あり、それぞれのアドレスは連続しています。したがって、ディップスイッチでI/Oポート群の先頭アドレスを設定することにより、それ以降の連続した15のアドレスが決定されます。先頭アドレスは、0をベースに占有ポート数“16”の倍数を設定してください。右の図は、先頭アドレスを01D0Hに設定した例で、この先頭アドレスに続く01DFHまでのポートが占有されます。



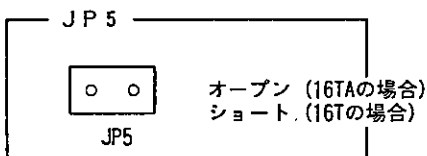
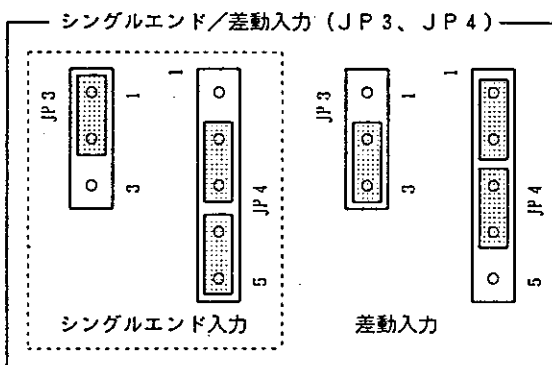
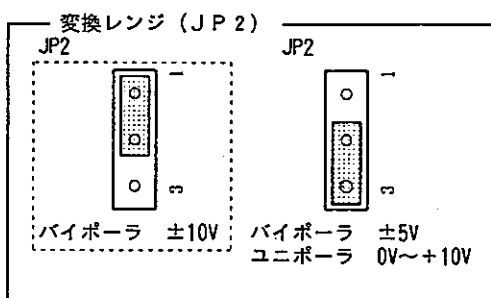
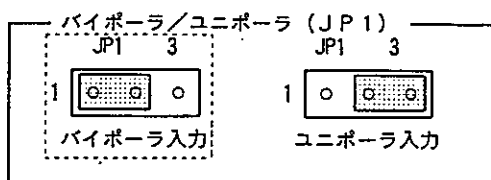
2

回路ブロック図



入力方式と変換レンジの選択

AD12-8T(98)、-16T(98)、-16TA(98)には、ボード上に入力方式と変換レンジの選択ジャンパが用意されています。



(注) 8Tの場合、JP3 ~ JP5はなし
は、出荷時設定を示します。

I/Oポートのビットアサイン

コンピュータからのAD12-8T(98)、-16T(98)、-16TA(98)に対するアクセスは、I/Oポートを介して行います。本ボードで使用するI/Oポートのビット定義は以下の通りです。

●出力ポート

先頭ビット	D7	D6	D5	D4	D3	D2	D1	D0
+0	交換スタート			チャンネルデータ				
				C3	C2	C1	C0	
+1								トリガステータスリセット
+2	タイマゲート		トリガ選択		割込みレベル選択			
					D2	D1	D0	
+3	(使用不可)							
+4	(使用不可)							
+5	(使用不可)							
+6	(使用不可)							
+7	(使用不可)							
+8	カウンタ 0 データ							
+9	(使用不可)							
+A	カウンタ 1 データ							
+B	(使用不可)							
+C	カウンタ 2 データ							
+D	(使用不可)							
+E	コントロールワードレジスタ							
+F	(使用不可)							

チャンネルデータ(C3~C0) : チャンネル選択ビット。(0~15)

(注) 8Tの場合、C3は未使用

交換スタート : A/D変換スタートビット
(1: 交換スタート)。

トリガステータスリセット : トリガ入力ステータスおよび
オーバーランステータスリセッ
トビット(1: リセット)。

割込みレベル選択(D2~D0) : “割込み信号の設定” 参照。

トリガ選択(D3) : “割込み信号の設定” 参照。

タイマゲート : タイマゲートON/OFFビット
(1: タイマ動作中)。

カウンタ0、1、2データ : プログラマブルタイマカウン
タへのプリセットデータ。

コントロールワードレジスタ : プログラマブルタイマ制御用
ポート。

●入力ポート

先列 アドレス	D7	D6	D5	D4	D3	D2	D1	D0
+0	A/D 変換データ							
+1	D7	D6	D5	D4	D3	D2	D1	D0
	変換中	変換終了	トリガ入力	A/D 変換データ				
				D11	D10	D9	D8	
+2	(使用不可)							
+3	(使用不可)							
+4	(使用不可)							
+5	(使用不可)							
+6	(使用不可)							
+7	(使用不可)							
+8	カウンタ 0 データ							
+9	(使用不可)							
+A	カウンタ 1 データ							
+B	(使用不可)							
+C	カウンタ 2 データ							
+D	(使用不可)							
+E	(使用不可)							
+F	(使用不可)							

A/D変換データ(D11~D0): 2¹¹~2⁰の重みを持つ変換データ。
この変換された入力データと電圧の関係は次の通りです。なお、計算時には式中のデジタル値を10進数に直してから結果を求めてください。

●バイポーラ設定時

$$VOLT = \frac{\text{デジタル値}}{4096} \times \frac{\text{フルスケールレンジ}}{\text{レンジ}} - \frac{\text{フルスケールレンジ}}{2} \quad \left(\begin{array}{l} \text{MAX FFFH} \\ \text{OV 800H} \\ \text{MIN 000H} \end{array} \right)$$

●ユニポーラ設定時

$$VOLT = \frac{\text{デジタル値}}{4096} \times \frac{\text{フルスケールレンジ}}{\text{レンジ}} \quad \left(\begin{array}{l} \text{MAX FFFH} \\ \text{MIN 000H} \end{array} \right)$$

計算例 設定がバイポーラ、±10Vレンジで、読込んだデジタル値が2355(933H)の時には、次式により、電圧値は約1.5Vになります。

$$VOLT = \frac{2355}{4096} \times 20 - \frac{20}{2} \approx 1.5 \text{ [Volt]}$$

トリガ入力 : 外部トリガ入力またはプログラマブルタイマ
カウントアップ確認入力(1:入力)。

トリガステータスリセット出力にてリセット。

オーバーラン: トリガ入力ステータスがすでに1になっているときに次のトリガ入力を検出すると1になります。

トリガステータスリセット出力にてリセット。

変換終了 : A/D変換終了ビット (1:変換終了)。

下位A/D変換データの読み込みにてリセット。

変換中 : A/D変換中表示ビット (1:変換中)。

カウント0、1、2データ:

プログラマブルタイマのカウント内容。

割込み信号の設定

“出力ポート+2”のD3~D0ビットの設定により、割込み内容を選択します。

●トリガ選択 (D3)

内部プログラマブルタイマのタイムアップによる割込みか、または外部トリガ入力信号の“Low”から“High”の立上りによる割込みかの選択を行います。

D3	割込み要因選択
0	プログラマブルタイマのタイムアップ
1	外部トリガ入力信号の立上り

●割込みレベル (D2~D0)

D2~D0ビットの組合せにより以下のように割込みレベルを選択することができます。

割込みレベル	D2	D1	D0
禁止	0	0	0
INT 0	0	0	1
INT 1	0	1	0
INT 2	0	1	1
INT 3	1	0	0
INT 4	1	0	1
INT 5	1	1	0
INT 6	1	1	1

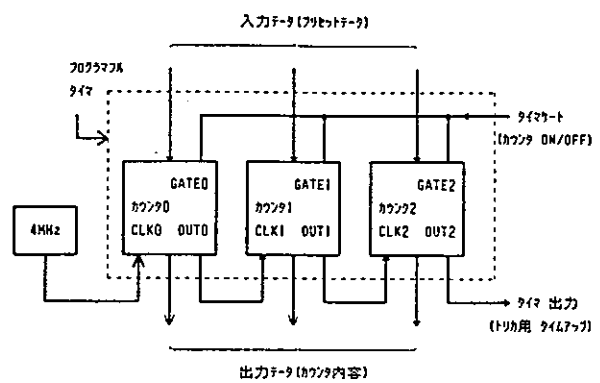
“入力ポート+1”のD4ビット(トリガ入力)が0から1に変化したとき、すなわちプログラマブルタイマがタイムアップするか、または外部トリガ入力が入付けられたときに、設定した割込みレベルに割込み信号が出力されます。

アナログ入出力

プログラマブルタイマコントロール

プログラマブルタイマを使って周期信号を発生させ、A/D変換を周期的に実行させることができます。

プログラマブルタイマはカウンタ0、1、2の3つのカウンタから構成され、下図に示すように各カウンタはカスケード接続されています。



“出力ポート+E” (コントロールワードレジスタ) により、各カウンタは次のように制御されます。

コントロールワードレジスタ内容	機能
34H 74H B4H	カウンタ0 選択 (データ書き込み) カウンタ1 選択 (データ書き込み) カウンタ2 選択 (データ書き込み)
04H 44H 84H	カウンタ0 選択 (データ読取り) カウンタ1 選択 (データ読取り) カウンタ2 選択 (データ読取り)

カウンタに書き込むデータと、カウンタがオーバーフローし、割込みを発生する周期との関係は次式から求められます。

$$0.25 \times C0 \times C1 \times C2 \text{ (}\mu\text{sec)}$$

C0~C2 : カウンタ0~2 に書込んだデータ
 $2 \leq \text{カウンタ書き込みデータ} \leq \text{FFFFH}$

計算例 1msec 周期でプログラマブルタイマを動作させる場合。

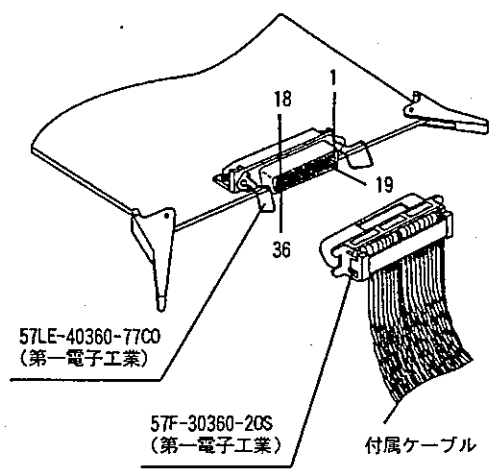
$$0.25 \times 4H \times AH \times 64H$$

$$= 0.25 \times 4 \times 10 \times 100$$

$$= 1000 \mu\text{sec} = 1\text{msec}$$

外部インターフェイス

AD12-8T(98)、-16T(98)、-16TA(98)の外部インターフェイスコネクタには、アナログ入力用ピンのほか、外部トリガ信号入力用ピンが用意されています。接続できるアナログ入力点数はシングルエンド入力で16点(8Tの場合8点)、差動入力で8点(16TAのみ)です。



外部接続コネクタ信号配置

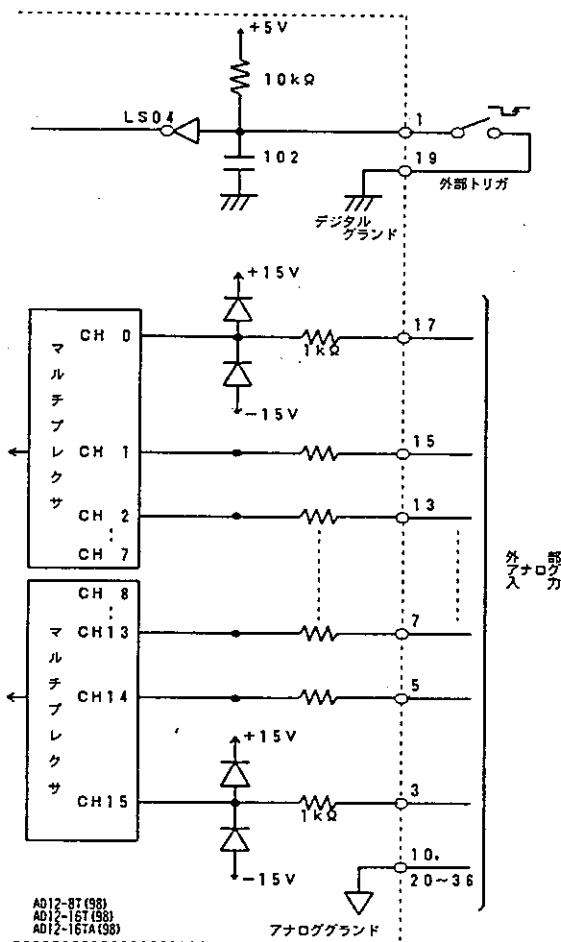
外部トリガ	外部トリガ	1	19	デジタルグランド
IN7A	IN7	2	20	アナロググランド
IN7B	IN15	3	21	"
IN6A	IN6	4	22	"
IN6B	IN14	5	23	"
IN5A	IN5	6	24	"
IN5B	IN13	7	25	"
IN4A	IN4	8	26	"
IN4B	IN12	9	27	"
アナロググランド	アナロググランド	10	28	"
IN3A	IN3	11	29	"
IN3B	IN11	12	30	"
IN2A	IN2	13	31	"
IN2B	IN10	14	32	"
IN1A	IN1	15	33	"
IN1B	IN9	16	34	"
IN0A	IN0	17	35	"
IN0B	IN8	18	36	アナロググランド

注) ・差動入力は、AD12-16TA(98)使用時のみ。
 ・AD12-8T(98)では、ピン番号3、5、7、9、12、14、16、18は未接続になっています。

外部入力回路

AD12-8T(98), -16T(98), -16TA(98)における外部インターフェイス部の入力回路は下図の通りです。

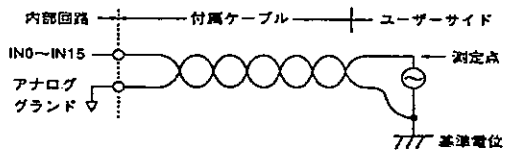
アナログ入力部には保護回路が設けてありますが、アナロググランドを基準にして $\pm 15V$ を越えない範囲で使用してください。また、外部トリガ入力部は内部でプルアップされていますので、外部トリガラインではプルアップの必要はありません。このトリガ入力、TTLレベルで“Low”から“High”への立上りエッジによりトリガ入力ステータスがセットされ、割り込み入力が設定されている時は、指定されたレベルに割り込みが発生します。トリガパルス最小幅は50nsecです。



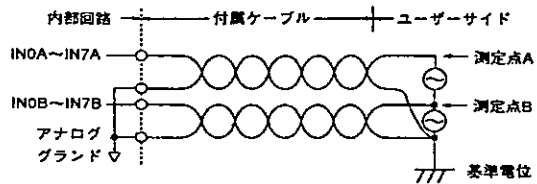
アナログ入力の接続方法

本ボードとアナログ信号源が近い場合には、付属ケーブルで直接接続できます。また、ノイズの多い環境や信号源との距離が長い場合などには、シールド線を用いるようにしてください。接続方法を以下に示します。

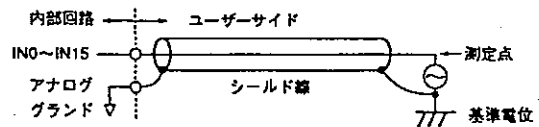
- 付属ケーブルを使用した接続
シングルエンド入力



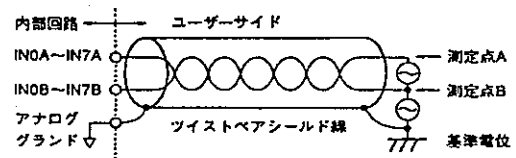
差動入力



- シールド線を使用した接続
シングルエンド入力



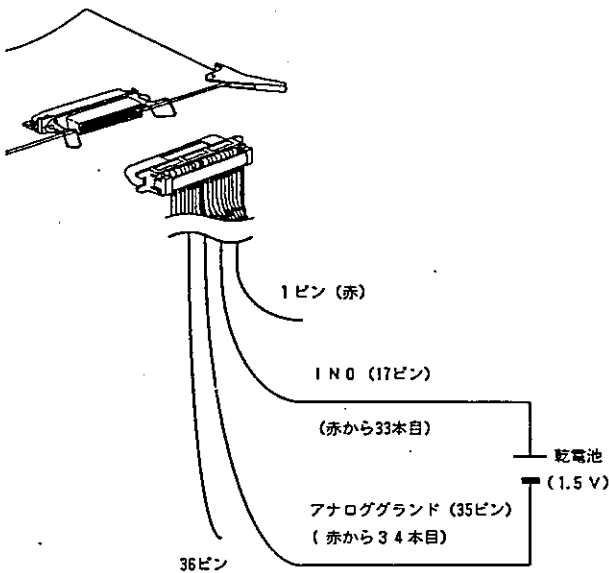
差動入力



注) 使用しない入力チャネルはアナロググランドに短絡してください。

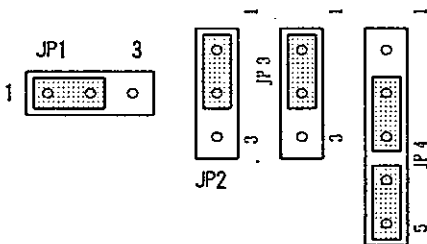
使用例

AD12-8T(98), -16T(98), -16TA(98)の使用例として、チャンネル0に与えられた入力信号をA/D変換するBASICプログラムを以下に示します。この例では、チャンネル0を設定した後、A/D変換を実行します。そして、得られた変換データをコンピュータの画面にスクロールしながら表示します。なお、この例では入力信号源として乾電池を使用します。このプログラムを実行させるための入力ラインへの信号源接続例と、本ボード上のジャンパおよびディップスイッチの設定条件は次の通りです。



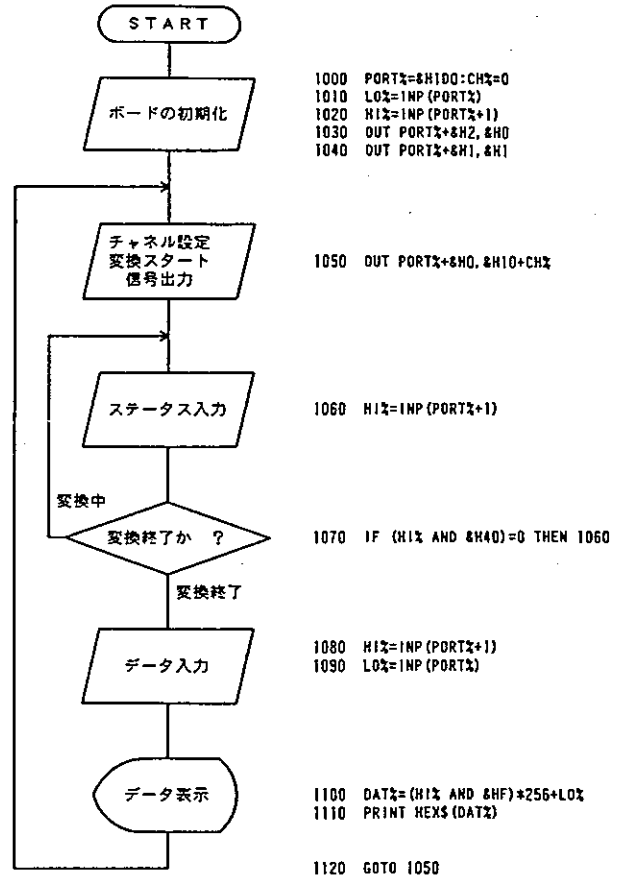
使用例の設定条件

- I/O アドレスの設定: 01D0H (SW1, SW2)
- 信号入力方式: シングルエンド入力 (JP3, JP4)
- 変換レンジ: バイポーラ $\pm 10V$ (JP1, JP2)
- JP5: オープン (AD12-16TA(98)のとき)
ショート (AD12-16T(98)のとき)



フローチャート

BASIC プログラム



商品構成

AD12-8T(98), -16T(98), -16TA(98)ご購入時には、次のもので構成されています。

- AD12-8T(98), AD12-16T(98)または AD12-16TA(98)ボード 1
- 36芯ツイストペアケーブル (1.5m, 片端コネクタ付き) 1
- スロットカバー 1
- 解説書 1
- サンプルソフト (5インチ2HD) 1
- 顧客カード 1