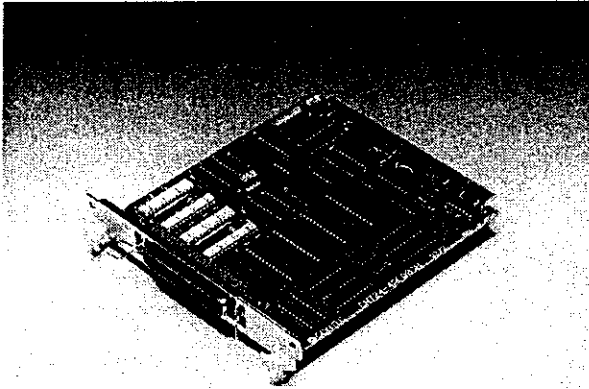


プログラマブルユニバーサルカウンタモジュール

CNT24-4A(98)H CNT24-2A(98)H



CNT24-4A(98)HおよびCNT24-2A(98)Hは、24ビットのアップダウンカウンタをそれぞれ4チャンネルまたは2チャンネル搭載しており、ロータリエンコーダやリニアゲージなどの外部装置からのデジタル信号をカウントすることができます。

外部入力、各チャンネルごとにフォトカプラ絶縁型入力とTTLレベル入力のどちらかを選ぶことができます。

カウントデータをあらかじめ設定した値と比較し、一致検出時に割込みを発生させることができます。また、プログラマブルタイマを搭載していますので、タイマ値を設定することにより一定周期の割込みを発生させることもできます。

なお、本文中の説明は、CNT24-4A(98)HおよびCNT24-2A(98)Hに共通です。それぞれのボードで仕様等に違いがある場合のみ、[]内にCNT24-2A(98)Hの仕様を別記します。

※CNT24-4A(98)HとCNT24-2A(98)Hは、弊社従来品CNT24-4A(98)およびCNT24-2A(98)の改良品であり、下記の点が改善されています。

- ・Z相／クリア入力信号論理の変更用ジャンパの追加
- ・割込み発生条件設定ジャンパおよびソフトウェアによるマスク機能の追加

これら以外については、CNT24-4A(98)およびCNT24-2A(98)と同等に扱うことができます。

特 長

- ・2相入力（A相、B相、Z相）または単相入力（UP、DOWN）カウント用の24ビットアップダウンカウンタを4チャンネル[2チャンネル]搭載。
- ・入力はフォトカプラ絶縁型入力またはTTLレベル入力を使用可能。

フォトカプラ絶縁型入力を使用した場合は、本ボードを装着したコンピュータは信号源と完全に絶縁されます。

- ・各入力信号のLED表示。
- ・カウントデータとプリセット値との一致検出時およびプログラマブルタイマの設定時間経過時に割込み入力可能。

仕 様

- ・チャンネル数 : 4 [2]
- ・カウント方式 : 2相入力（A相、B相、Z相）または単相入力（UP、DOWN）の24ビットアップダウンカウンタ
(2相入力時2通倍、4通倍カウント可能)
- ・最大カウント数 : FFFFFFFH（バイナリデータ）
- ・カウント値読出し : リードオンザフライ動作可能
- ・カウンタクリア : Z相入力またはCLR入力でクリア可能
- ・応答周波数 : 1MHz デューティ50% (TTLレベル)
500KHz デューティ50% (フォトカプラ)
- ・タイマ : 1msec～120sec 36段階
- ・外部入力仕様 : カウント入力
非絶縁型TTLレベル入力または
フォトカプラ絶縁型入力
(ソフトウェア選択、正論理)
- ・外部入力点数 : A相／UP、B相／DOWN、Z相／CLR、
汎用入力、
4点×4チャンネル[4点×2チャンネル]
- ・入力抵抗 : 220Ω（絶縁入力）（外部電源5V以上の
場合、外付け抵抗必要）
1TTL負荷（TTLレベル入力）
- ・入力表示 : 外部入力信号4点×4チャンネル
[4点×2チャンネル] 入力表示LED付、
入力信号LOWで点灯
- ・割込み : 下記のうちいずれかをジャンパにて選択。
 - ・選択した1つのチャンネルのカウント一致検出
 - ・タイマのタイムアップ
 - ・各チャンネルのカウント値一致検出またはタイマのタイムアップのいずれかが発生した時（ソフトウェアによりマスク可能。センスワード付）
INT0～6 のいずれかに接続可能。
- ・外部回路電源 : DC5V～DC12V（±10%）500mA MIN
(フォトカプラ絶縁型入力使用時)
- ・バッテリー
バックアップ : なし
- ・カウント値設定 : プリセット値

比較データ

(24ビットバイナリ)

- ・使用素子 : ZEN2001P (ジーニック製)
- ・I/Oアドレス : 8ビット×16ポート占有
- ・消費電流 : DC5V、800mA [600mA] MAX
- ・使用条件 : 0~50℃、20~90%RH、結露なし

機 能

CNT24-4A(98)HおよびCNT24-2A(98)Hは、本ボードを装着したコンピュータからの指示で、ロータリエンコーダやリニアゲージなどの外部装置からのデジタル信号をカウントします。本ボードは24ビットのアップダウンカウンタLSI(ZEN2001P)を4個[2個]搭載しており、4チャンネル[2チャンネル]独立にカウント動作を行うことができます。

各チャンネルに対する外部からの入力信号は、TTLレベルまたはフォトカプラ絶縁型の2相パルス入力または単相パルス入力です。

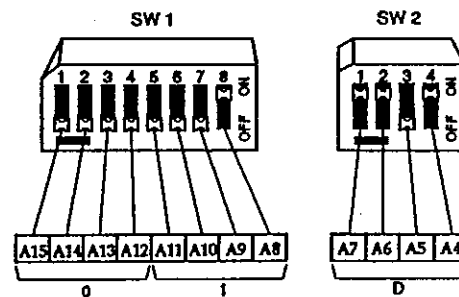
2相パルス入力とは、位相が90°異なるA相(進み信号)とB相(遅れ信号)の2つのパルス入力です。Z相(基準位置信号)がある場合、Z相パルス入力でカウンタをクリアすることができます。

単相パルス入力として、UP/DOWNパルス入力とゲートコントロール付きパルス入力の2種類の仕様に対応することができます。UP/DOWNパルス入力の場合は、UPパルスが入力されるとカウントアップし、DOWNパルスが入力されるとカウントダウンします。ゲートコントロール付パルス入力の場合は、単相パルス列とともに入力されるゲートコントロール信号にしたがってカウンタをスタート/ストップさせることができます。

CNT24-4A(98)HおよびCNT24-2A(98)Hは、各チャンネルごとに比較レジスタを持っており、比較レジスタに設定した値とカウントデータ値が一致したときにコンピュータに割込みをかけることができます。また、プログラマブルタイマを持っており、設定した時間が経過する度に割込みをかけることができます。このタイマ割込みにより、一定周期ごとの各チャンネルのカウントデータ値を読出すこともできます。

I/Oアドレスの設定

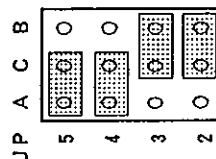
CNT24-4A(98)HおよびCNT24-2A(98)HのI/Oアドレスは、コンピュータ側未使用I/Oアドレスに合わせて、ディップスイッチ(SW1とSW2)によって任意に設定することができます。本ボードで使用されるI/Oポートは16あり、それぞれのアドレスは連続しています。したがって、ディップスイッチでI/Oポート群の先頭アドレスを設定することにより、それ以降の連続した15のアドレスが決定されます。先頭アドレスは0をベースに占有ポート数"16"の倍数を設定してください。下の図は、先頭アドレスを01D0Hに設定した例で、この先頭アドレス設定でそれに続く01D1Hから01DFHまでが決定されます。



Z相/CLR入力信号論理の設定

CNT24-4A(98)HおよびCNT24-2A(98)Hでは、外部接続装置の信号に合わせるため、Z相/CLR入力に限り正/負論理の切り替えジャンパ(JP2~5[3])で設定することができます。

JP2 ~5[3]はそれぞれチャンネル1~4[2]に対応しています。



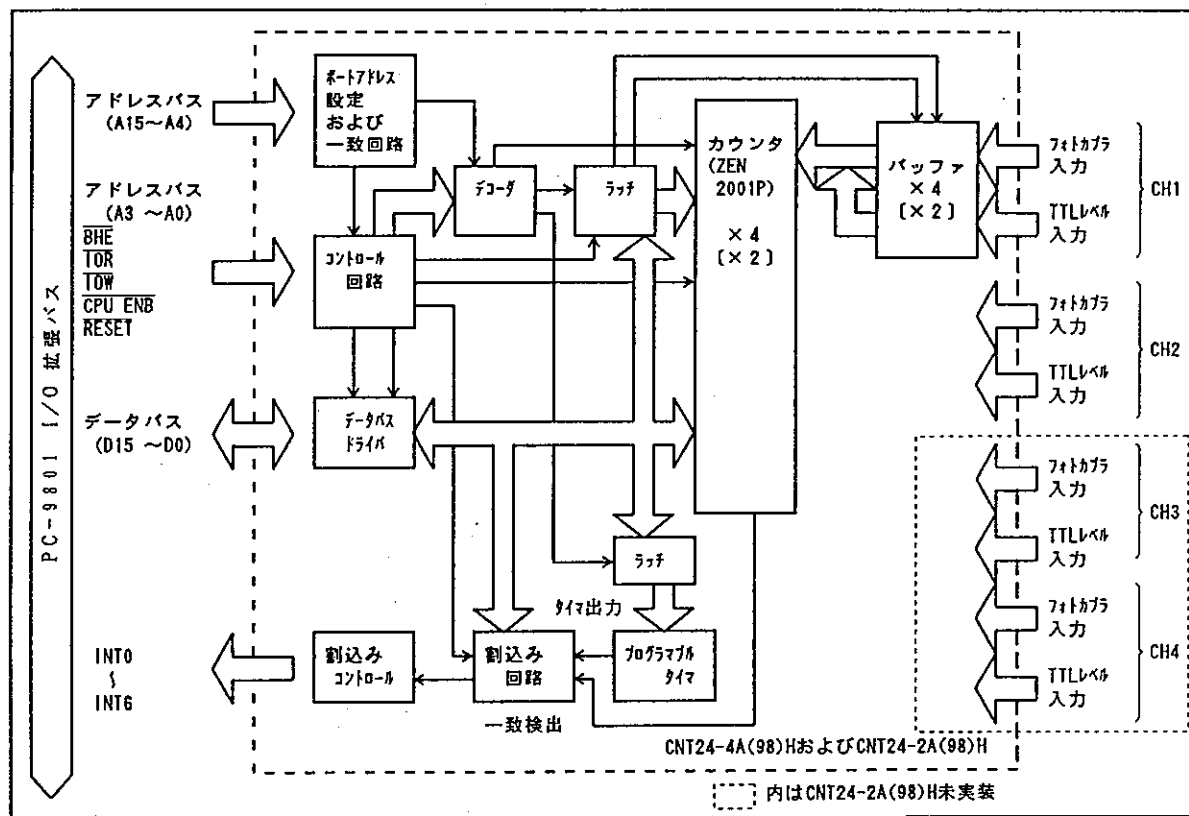
A-Cに接続 : Z相/CLR入力は負論理

B-Cに接続 : Z相/CLR入力は正論理

上図の設定ではチャンネル1、2が正論理、チャンネル3、4が負論理に設定されています。

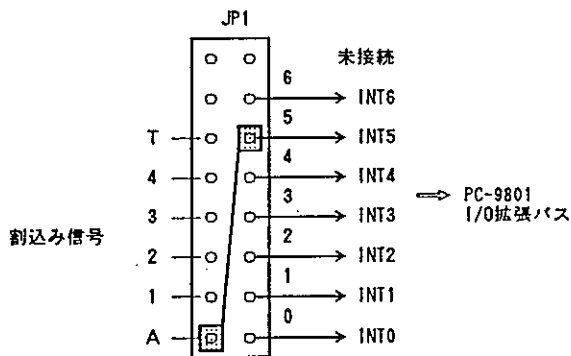
出荷時はすべてのチャンネルが正論理の設定になっています。

回路ブロック図



割込みの設定

CNT24-4A(98)HおよびCNT24-2A(98)Hでは、各チャンネルの比較レジスタに設定した値とカウントデータ値が一致したとき、またはプログラマブルタイマからの一定時間ごとの信号発生により割込みを行うことができます。割込みを使用するときは、まず以下に示すジャンパ(JP1)で割込みとして入力する信号の選択と割込みレベルを設定してください。割込みレベルはコンピュータ本体および他のインターフェイスで使用していないレベルに設定してください。各チャンネルのカウント値一致検出信号については、チャンネルごとに割込みマスクのセット/解除が指令できます。各チャンネルのカウント値一致検出信号とタイマ出力信号の割込みがどのチャンネルのカウント値一致信号なのか、またはタイマ出力信号なのかを知るためには、センスポート(先頭アドレス +BH)を読出してください。また、センスポートは読出す度にリセットしてください。センスフラグが“1”のままでは、次の割込みが発生しません。



T : タイマのタイムアップ信号

1~4[2] : 各チャンネル毎のカウント一致検出信号

A : タイマのタイムアップ信号と各チャンネルのカウント一致信号の論理ORを取った信号

上の図は、いずれかの要因で割込みが発生した時にINT5に通知する場合のジャンパ状態を示しています。出荷時はINT5に設定してあります。

I/Oポートのビットアサイン

コンピュータからのCNT24-4A(98)HおよびCNT24-2A(98)Hに対するアクセスは、16組のI/Oポートを介して行います。このI/Oポート（入力ポートおよび出力ポート）のビット定義を以下に示します。なお、ここで未定義（使用不可）のポートについても、先のI/Oアドレス設定により占有されています。

●出力ポート

先頭 アドレス	D7	D6	D5	D4	D3	D2	D1	D0
+0	CH1カウントデータ書込み							
	D7	D6	D5	D4	D3	D2	D1	D0
+1	CH1カウンタ動作モード設定							
	RESET	SEL	ENB	UD/AB	DIR	SEL2	SEL1	SEL0
+2	CH1コマンド書込み							
	LD	ZE1	ZE0	LT	RS1	RS0	BS1	BS0
+3	LT/LD用ゲートコントロール							
	CH4		CH3		CH2		CH1	
	LT	LD	LT	LD	LT	LD	LT	LD
+4	CH2カウントデータ書込み							
	D7	D6	D5	D4	D3	D2	D1	D0
+5	CH2カウンタ動作モード設定							
	RESET	SEL	ENB	UD/AB	DIR	SEL2	SEL1	SEL0
+6	CH2コマンド書込み							
	LD	ZE1	ZE0	LT	RS1	RS0	BS1	BS0
+7	割込みマスクセットポート							
				TIME	CM4	CM3	CM2	CM1
+8	CH3カウントデータ書込み（使用不可）							
	D7	D6	D5	D4	D3	D2	D1	D0
+9	CH3カウンタ動作モード設定（使用不可）							
	RESET	SEL	ENB	UD/AB	DIR	SEL2	SEL1	SEL0
+A	CH3コマンド書込み（使用不可）							
	LD	ZE1	ZE0	LT	RS1	RS0	BS1	BS0
+B	センスリセットポート							
				TIM	CN4	CN3	CN2	CN1
+C	CH4カウントデータ書込み（使用不可）							
	D7	D6	D5	D4	D3	D2	D1	D0
+D	CH4カウンタ動作モード設定（使用不可）							
	RESET	SEL	ENB	UD/AB	DIR	SEL2	SEL1	SEL0
+E	CH4コマンド書込み（使用不可）							
	LD	ZE1	ZE0	LT	RS1	RS0	BS1	BS0
+F	プログラマブルタイマ設定							
	START		タイマ値データ					

[] 内はCNT24-2A(98)H時。

・CH1～CH4カウントデータ書込み

カウントデータ書込みポートです。カウントデータを書込む前に、対応するチャンネルのコマンド書込みポートへコマンドを設定してください。コマンドの指定により、アップダウンカウンタ、比較レジスタ、プリロードレジスタのいずれかにデータを書込むことができます。

・CH1～CH4カウンタ動作モード設定

RESET : カウンタ内のアップダウンカウンタの内容を"000000"にクリアします。(0 = クリア) クリアするためには、まず"0"を出力し、再度"1"を出力してください。

SEL : カウンタへのパルス入力方法を切替えます。

- 0 = フォトカプラ絶縁型入力
- 1 = TTLレベル入力

ENB : カウンタへのパルス入力を禁止します。

- (0 = ディスエーブル)

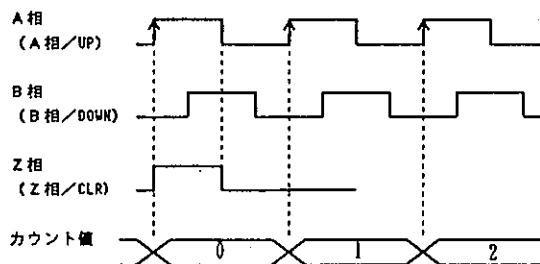
UD/AB, SEL2, SEL1, SEL0 : カウンタ動作モードを設定します。

UD/AB	DIR	SEL2	SEL1	SEL0	
0	次 表 照	0	0	0	2相入力、同期クリア、標準モード
0		0	0	1	2相入力、同期クリア、2倍モード
0		0	1	0	2相入力、同期クリア、4倍モード
0		1	0	0	2相入力、非同期クリア、標準モード
0		1	0	1	2相入力、非同期クリア、2倍モード
0		1	1	0	2相入力、非同期クリア、4倍モード
1		0	1	1	UP/DOWN 単相入力 非同期クリア、標準モード
0		0	1	1	ゲートコントロール付単相入力、 非同期クリア、標準モード
0		1	1	1	ゲートコントロール付単相入力、 非同期クリア、2倍モード

各カウンタ動作モードを次に説明します。図中の () 内は端子名称です。

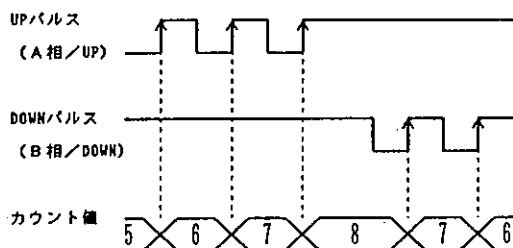
・2相入力

2相入力とは、A相とB相の2つのパルス入力です。Z相（基準位置信号）がある場合、Z相パルス入力でカウントをクリアすることができます。



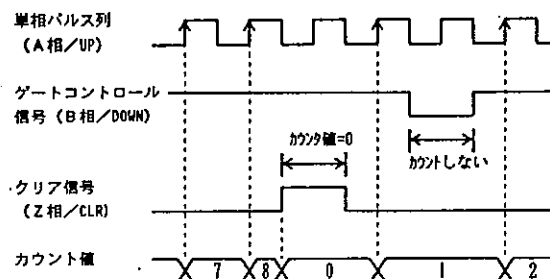
・UP/DOWN単相入力

UP/DOWN単相入力の場合は、UPパルスが入力されるとアップカウントし、DOWNパルスが入力されるとダウンカウントします。UPパルスとDOWNパルスが同時に発生することはありません。



・ゲートコントロール付単相入力

単相パルス列とともに入力されるゲートコントロール信号にしたがってカウンタをスタート/ストップさせることができます。また、クリア信号によりカウンタ値は0にクリアされます。

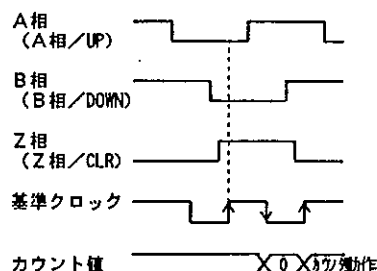


※クリア信号の論理は切り替え可能です。

（図は正論理設定時の場合）

・同期クリア

A相, B相入力が“0”でZ相入力が“1”のとき、基準クロックのエッジを検出後最初のクロックの立ち下がりでカウンタを0クリアし、次のクロックの立ち上がりからカウンタ動作が行えます。

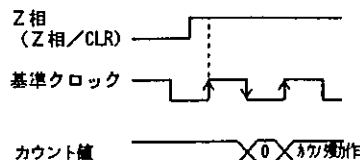


※Z相の論理は切り替え可能です。

（図は正論理設定時の場合）

・非同期クリア

基準クロックのエッジを検出後最初のクロックの立ち下がり でカウンタを0クリアし、次のクロックの立ち上がりからカウンタ動作が行えます。

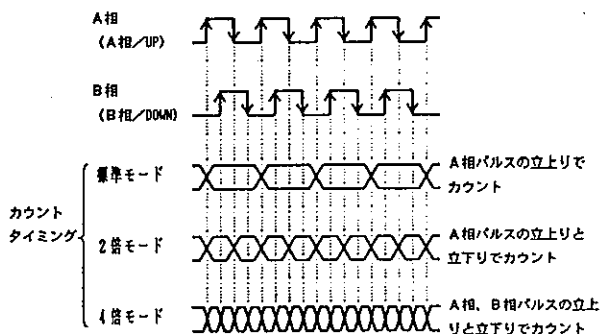


※Z相の論理は切り替え可能です。

（図は正論理設定時の場合）

・標準/2倍/4倍モード

2倍、4倍モードを指定することにより、細かなコントロールを行うことができます。



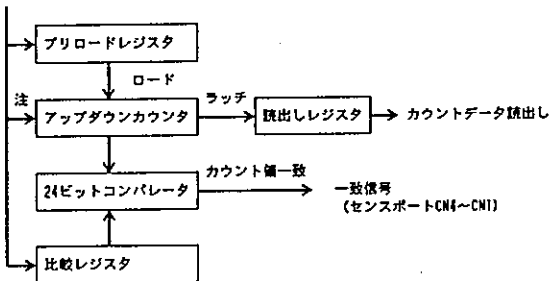
DIR : ロータリエンコーダのカウンタ方向を切替えることができます。

DIR \ 回転方向	時計方向	反時計方向
1	アップカウント	ダウンカウント
0	ダウンカウント	アップカウント

・CH1～CH4コマンド書き込み

アップダウンカウンタ、比較レジスタ、またはプリロードレジスタヘデータを書込む場合、まず対応するチャンネルのコマンド書き込みポートへコマンドを設定してください。また、プリロードレジスタからアップダウンカウンタヘデータをロードしたり、アップダウンカウンタから読出しレジスタヘデータをラッチする場合も、このポートへ指令コマンドを設定します。

カウンタデータ書き込み



注：カウンタ動作中にアップダウンカウンタへ直接データを書込むと、データを破壊する恐れがあります。プリロードレジスタへ一旦書込み、プリロードレジスタからアップダウンカウンタへロードしてください。

LD、LT：ラッチ／ロード指令を行います。

LD	LT	
0	1	カウンタデータをアップダウンカウンタから読出しレジスタへラッチする。
1	0	カウンタデータをプリロードレジスタからアップダウンカウンタへロードする。

注：“LD”と“LT”を同時に“1”に設定してデータを書込むと、データを破壊する恐れがあります。

ZE1, ZE0：2相パルス入力Z相をどのようなモードで使用するかを指定します。

ZE1	ZE0	
0	1	Z相入力無効。Z相がない場合、この値に設定する。
1	0	次に来るZ相入力1回のみ有効。
1	1	Z相入力毎回有効。1回転ごとにZ相を入力してカウンタ値を0にする場合、この値に設定する。

注：毎回有効を選んだ場合、ラッチ指令やロード指令でも“ZE1、ZE0”を“11”としてください。

RS1、RS0、BS1、BS0：書き込み／読出しレジスタ指定

書き込み動作時

RS1	RS0	BS1	BS0	
0	0	0	0	アップダウンカウンタ下位8ビットを選択
0	0	0	1	アップダウンカウンタ中位8ビットを選択
0	0	1	X	アップダウンカウンタ上位8ビットを選択
0	1	0	0	比較レジスタ下位8ビットを選択
0	1	0	1	比較レジスタ中位8ビットを選択
0	1	1	X	比較レジスタ上位8ビットを選択
1	X	0	0	プリロードレジスタ下位8ビットを選択
1	X	0	1	プリロードレジスタ中位8ビットを選択
1	X	1	X	プリロードレジスタ上位8ビットを選択

読出し動作時

RS1	RS0	BS1	BS0	
X	X	0	0	読出しレジスタ下位8ビットを選択
X	X	0	1	読出しレジスタ中位8ビットを選択
X	X	1	X	読出しレジスタ上位8ビットを選択

LT/LD用ゲートコントロール

コマンドビット“LT”と“LD”のゲートコントロール用ポートです。ラッチ指令やロード指令を行う場合は、CH1～CH4コマンド書き込みポートにコマンドを設定する前に、対応するチャンネルのLT/LD用ゲートコントロールビットに“1”を書込むことにより、ゲートをオープンする必要があります。

(1 = ゲートオープン、0 = ゲートクローズ)

なお、モード設定時のリセット処理と電源投入時はすべて“0”です。

・割込みマスクセットポート

TIME : このビットに“1”をセットすることによりプログラマブルタイマの設定時間の経過時の割込みをマスクすることができます。

CM4～CM1 : CM4[CM2]～CM1は各チャンネルに対応しています。
“1”をセットすることにより、各チャンネルのカウンタ一致検出による割込みをマスクすることができます。また“0”をセットすることでマスクを解除することができます。なお、マスクがセットされたチャンネルはカウンタ一致検出してもセンスポートの対応するCN4～CN1が“1”となります。

・センスリセットポート

TIM, CN4～CN1 : センスポート（入力ポート参照）を読み込み、“1”になっているビットに対応するこのポート上のビットに“1”を書込むことにより、センスフラグをリセットします。
(1 = センスフラグリセット)

・プログラマブルタイマ値設定

タイマ値データ：プログラマブルタイマに1msec～120secのタイマ値を設定することができます。タイマ値とデータ（D7～D0）の関係を次の表に示します。STARTビットを“0”に設定すると、タイマ値データの値に関係なくタイマが停止します。

タイマ値	データ	タイマ値	データ	タイマ値	データ
1 msec	94H	60 msec	8BH	4 sec	99H
2 msec	B2H	100 msec	8CH	5 sec	9DH
3 msec	B6H	120 msec	8FH	6 sec	9BH
4 msec	B1H	200 msec	AAH	10 sec	9CH
5 msec	B5H	300 msec	AEH	12 sec	9FH
6 msec	B3H	400 msec	A9H	20 sec	BAH
10 msec	B4H	500 msec	ADH	30 sec	BEH
12 msec	B7H	600 msec	ABH	40 sec	B9H
20 msec	8AH	1 sec	ACH	50 sec	BDH
30 msec	8EH	1.2 sec	AFH	60 sec	BBH
40 msec	89H	2 sec	9AH	100 sec	BCH
50 msec	8DH	3 sec	9EH	120 sec	BFH

注意：タイマ値を設定した直後の1回のみ、設定の1/2周期でタイムアップします。2回目以降は設定周期でタイムアップします。

●入力ポート

先頭 アドレス	D7	D6	D5	D4	D3	D2	D1	D0
+0	CH1カウントデータ読出し							
	D7	D6	D5	D4	D3	D2	D1	D0
+1	(使用不可)							
+2	CH1ステータスデータ読出し							
	AI	Z	A	B	DTR	U/D	EQ	U
+3	(使用不可)							
+4	CH2カウントデータ読出し							
	D7	D6	D5	D4	D3	D2	D1	D0
+5	(使用不可)							
+6	CH2ステータスデータ読出し							
	AI	Z	A	B	DTR	U/D	EQ	U
+7	割込みマスクセンスポート							
	*	*	*	TIME	CM4	CM3	CM2	CM1
+8	CH3カウントデータ読出し〔使用不可〕							
	D7	D6	D5	D4	D3	D2	D1	D0
+9	(使用不可)							
+A	CH3ステータスデータ読出し〔使用不可〕							
	AI	Z	A	B	DTR	U/D	EQ	U
+B	センスポート読出し							
	*	*	*	TIM	CN4	CN3	CN2	CN1
+C	CH4カウントデータ読出し〔使用不可〕							
	D7	D6	D5	D4	D3	D2	D1	D0
+D	(使用不可)							
+E	CH4ステータスデータ読出し〔使用不可〕							
	AI	Z	A	B	DTR	U/D	EQ	U
+F	(使用不可)							

〔 〕内はCNT24-2A(98)H時。

*は"1"に設定されています。

●CH1～CH4カウントデータ読出し

カウントデータを読出しレジスタから読出します。データの読出しを行う前に、コマンド書込み（ラッチ指令）を行ってカウントデータをアップダウンカウンタから読出しレジスタへ移す必要があります。「出力ポート」の「CH1～CH4コマンド書込み」を参照してください。

●CH1～CH4ステータスデータ読出し

各カウンタ内のステータスレジスタの内容を読出すことにより、カウンタの設定状態や入力パルスの状態をモニタすることができます。読出す前にコマンドを設定する必要はありません。

AI : 異常入力(2相同時変化または入力周波数が1MHz以上)

の有無 (1 = 有 0 = 無)

Z : Z相入力値 (1/0)

A : A相入力値 (1/0)

B : B相入力値 (1/0)

DTR : 読出しレジスタ状態 (1 = データレディ 0 = データノットレディ)

なお、1バイトのデータ読み出しを実行すると"0"にリセットされます。

U/D : カウント状態 (1 = ダウンカウント中 0 = アップカウント中)

EQ : アップダウンカウンタと比較レジスタの内容比較結果 (1 = 不一致 0 = 一致)

U : 汎用入力値 (1/0)

●割込みマスクセンスポート

TIME、CM4～CM1 : 割込みマスクセットポート（出力ポート参照）に出力した現在の割込みマスクの状態をモニタすることができます。TIMEはプログラマブルタイマに、またCM4[CM2]～CM1は各チャネルに対応しており、これらのビットが"1"となっている割込みはマスク状態にあります。

●センスポート読出し

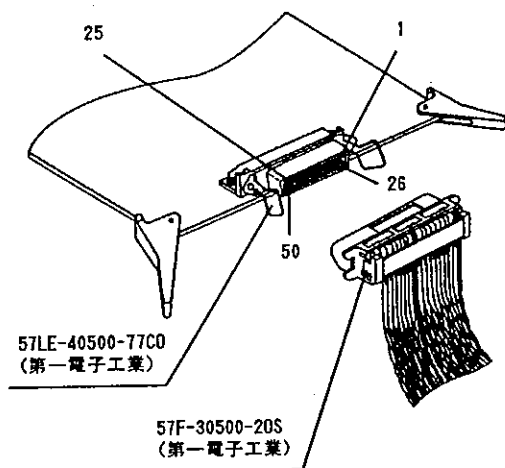
TIM : プログラマブルタイマの設定時間が経過すると、このビットが"1"になります。

CN4～CN1 : CH4～CH1の各チャネルについて、アップダウンカウンタと比較レジスタの内容が一致すると、対応するビット（CN4～CN1）が"1"になります。複数のチャネルでカウントを行い、一致信号で割込みを発生させる場合、どのチャネルからの割込みかを検出することができます。

注 : 割込みを設定している場合、割込みが発生し、該当するビットが"1"になったら、そのビットに"1"を書込むことにより"0"クリアしなければ次の割込みは発生しません。「出力ポート」の「センスポートリセット」を参照してください。

外部インターフェイス

CNT24-4A(98)HおよびCNT24-2A(98)Hと外部装置の接続は、50ピンのインターフェイスコネクタで行います。このコネクタには、TTLレベルとフォトカプラ絶縁型のカウントパルス入力ピンが用意されています。2相(A相、B相、Z相)入力と単相(UP/DOWN)入力に使用するピンは共通であり、入力の選択はソフトウェアで行います。



外部接続コネクタ信号配置

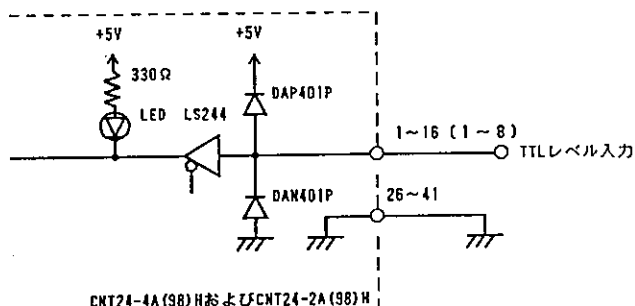
TTLレベル入力		デジタルグランド	
CH1	A相/UP T0A	1	26
	B相/DOWN T0B	2	27
	Z相/CLR T0Z	3	28
	汎用入力 T0U	4	29
CH2	A相/UP T1A	5	30
	B相/DOWN T1B	6	31
	Z相/CLR T1Z	7	32
	汎用入力 T1U	8	33
CH3	A相/UP T2A	9	34
	B相/DOWN T2B	10	35
	Z相/CLR T2Z	11	36
	汎用入力 T2U	12	37
CH4	A相/UP T3A	13	38
	B相/DOWN T3B	14	39
	Z相/CLR T3Z	15	40
	汎用入力 T3U	16	41
プラスコモン (5V~12V) P0		17	42
フォトカプラ絶縁型入力		デジタルグランド	
CN1	A相/UP P0A	18	43
	Z相/CLR P0Z	19	44
CN2	A相/UP P1A	20	45
	Z相/CLR P1Z	21	46
CN3	A相/UP P2A	22	47
	Z相/CLR P2Z	23	48
CN4	A相/UP P3A	24	49
	Z相/CLR P3Z	25	50
		プラスコモン (5V~12V) P0	
		P0B B相/DOWN	CN1
		P0U 汎用入力	
		P1B B相/DOWN	CN2
		P1U 汎用入力	
		P2B B相/DOWN	CN3
		P2U 汎用入力	
		P3B B相/DOWN	CN4
		P3U 汎用入力	

内はCNT24-2A(98)H未接続

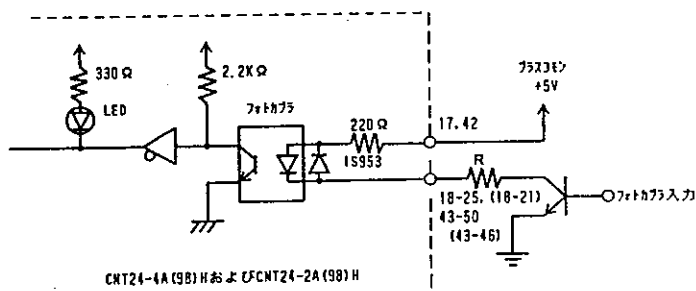
外部入力回路

CNT24-4A(98)HおよびCNT24-2A(98)Hにおける外部インターフェイス部の入力回路は、下図の通りです。

・TTLレベル入力回路



・フォトカプラ絶縁型入力回路



外部電源を5V以外で使用する場合は電流制限抵抗を図中Rの位置に挿入してください。

Rの算出法

外部電源: P Vとすると

ex. P=12Vの場合

$$\frac{P-5}{20} < R \text{ K}\Omega < \frac{P-5}{15} \quad 350\Omega < R < 470\Omega$$