
テクニカルリファレンス

Low Profile PCI バス対応 RS-232C 1ch シリアル I/O ボード

COM-1(LPCI)H

Low Profile PCI バス対応 RS-232C 2ch シリアル I/O ボード

COM-2(LPCI)H

Low Profile PCI バス対応 RS-232C 4ch シリアル I/O ボード

COM-4(LPCI)H

Low Profile PCI バス対応 RS-232C 8ch シリアル I/O ボード

COM-8C-LPCI

目次

1. はじめに	2
1.1. 本資料中の語句について	2
2. 製品固有情報	2
2.1. Vendor ID と Device ID	2
2.2. リソースの取得方法	2
3. I/O ポートのビット割り付け	3
3.1. I/O アドレスマップ一覧	3
3.2. I/O ポート、レジスタ詳細	4
3.3. 割り込みベクタレジスタ	8
4. 操作手順	9
4.1. I/O ポートへのアクセス	9
4.2. 割り込み機能	9

1. はじめに

本資料では、I/O ポートのビット割り付けおよび各ビットの定義についての説明をしています。当社サポートソフトウェアを使用しない場合や、Windows 環境以外でアプリケーションを作成する場合に参照してください。

1.1. 本資料中の語句について

以下にご注意ください。

I/O ベースアドレス :

ボードに割り当てられた I/O リソース(I/O の範囲)の最も小さい値で、先頭 I/O アドレスと同じ意味です。一般的にボードの I/O アドレスとは、このアドレスを指します。

CH ベースアドレス :

各チャンネルに割り当てられた I/O リソース(I/O の範囲)の最も小さい値で、各チャンネルの先頭アドレスと同じ意味です。

2. 製品固有情報

2.1. Vendor ID と Device ID

各製品の固有情報は、以下のとおりです。

Vendor ID : 1221h

Device ID :

Board Name	Device ID
COM-1(LPCI)H	8171h
COM-2(LPCI)H	8181h
COM-4(LPCI)H	8191h
COM-8C-LPCI	9131h

Revision ID : ボード ID の設定スイッチ(SW1)の状態。00h~0Fh の範囲で反映されます。

上記以外は、PCI ローカルバス仕様に準拠します。

2.2. リソースの取得方法

MS-DOS 環境で PCI バス対応ボードのリソース(I/O ベースアドレス、割り込みレベル、メモリベースアドレス)を取得するためのライブラリは、添付メディア「標準 COM ドライバソフトウェア COM Setup Disk」の¥Pci¥Dos¥Samples に格納されています。プログラム開発の参考・動作確認にご利用ください。

3. I/O ポートのビット割り付け

3.1. I/O アドレスマップ一覧

このボードでは、UART 16550 の上位互換品である XR16C2850(EXAR 社)を使用しています。XR16C2850 の内部レジスタと制御の詳細は、XR16C2850 データシートを参照してください。

・ 入出力ポート

I/Oベース アドレス	D7	D6	D5	D4	D3	D2	D1	D0
+0h~+7h	チャンネル1 レジスタ							
+8h~+Fh	チャンネル2 レジスタ(*1)							
+10h~+17h	チャンネル3 レジスタ(*1)(*2)							
+18h~+1Eh	チャンネル4 レジスタ(*1)(*2)							
+1Fh	割り込みベクタレジスタ1							
+20h~+27h	チャンネル5 レジスタ(*1)(*2)(*3)							
+28h~+2Fh	チャンネル6 レジスタ(*1)(*2)(*3)							
+30h~+37h	チャンネル7 レジスタ(*1)(*2)(*3)							
+38h~+3Eh	チャンネル8 レジスタ(*1)(*2)(*3)							
+3Fh	割り込みベクタレジスタ2							

(*1) COM-1(LPCDH)はチャンネル2~8(+8h~+1Eh, +20h~+3Fh)は使用不可です。

(*2) COM-2(LPCDH)はチャンネル3~8(+10h~+1Eh, +20h~+3Fh)は使用不可です。

(*3) COM-4(LPCDH)はチャンネル5~8(+20h~+3Fh)は使用不可です。

図3.1. 入出力ポート

⚠ 注意

各ポートへのアクセスはデバイスの仕様上、バイト単位で行ってください。

バイトアクセス以外(ワードアクセスやダブルワードアクセスなど)で、各ポートにアクセスすることはできません。

3.2. I/O ポート、レジスタ詳細

XR16C2850 内部レジスタは Line Control Register(LCR)に設定する値によりポートマップが変化します。起動時および LCR bit 7=0、LCR=0xBF 以外のとき General Registers が有効になります。

LCR bit 7=1 のとき Baud Rate Registers が有効になります。

LCR=0xBF のとき Enhanced Registers が有効になります。

以降の表に記述される各チャンネルの” CH ベースアドレス” は、下表のとおりです。

チャンネル 1 の CH ベースアドレス	I/O ベースアドレス+0h
チャンネル 2 の CH ベースアドレス	I/O ベースアドレス+8h
チャンネル 3 の CH ベースアドレス	I/O ベースアドレス+10h
チャンネル 4 の CH ベースアドレス	I/O ベースアドレス+18h
チャンネル 5 の CH ベースアドレス	I/O ベースアドレス+20h
チャンネル 6 の CH ベースアドレス	I/O ベースアドレス+28h
チャンネル 7 の CH ベースアドレス	I/O ベースアドレス+30h
チャンネル 8 の CH ベースアドレス	I/O ベースアドレス+38h

・ 入力ポート 1(General Registers)

CHベース アドレス	D7	D6	D5	D4	D3	D2	D1	D0
+0h	Receive Holding Register (RHR)							
	Data Bit 7	Data Bit 6	Data Bit 5	Data Bit 4	Data Bit 3	Data Bit 2	Data Bit 1	Data Bit 0
+1h	Interrupt Enable Register (IER)							
	CTS Interrupt (*2)	RTS Interrupt (*2)	Xoff Interrupt (*2)	Sleep Mode (*2)	MODEM Status Interrupt	Receive Line Status Interrupt	Transmit Holding Register	Receive Holding Register
+2h	Interrupt Status Register (ISR)							
	FIFOs Enable	FIFOs Enable	RTS-CTS Flow Ctrl (*2)	Xoff/Special Char (*2)	Int Priority Bit 2	Int Priority Bit 1	Int Priority Bit 0	Int Status
+3h	Line Control Register (LCR)							
	Divisor Latch Enable	Set Break	Set Parity	Even Parity	Parity Enable	Stop Bits	Word Length Bit 1	Word Length Bit 0
+4h	Modem Control Register (MCR)							
	Clock Prescaler Select (*2)	IR Mode Enable (*2)	Xon Any (*2)	Loop Back Enable	-OP2 and INT Enable	Out 1 0:INT Enable 1:INT Disable (*1)	-RTS	-DTR
+5h	Line Status Register (LSR)							
	FIFO Error	THR& TSR Empty	THR Empty	Break Interrupt	Framing Error	Parity Error	Overrun Error	Receive Data Ready
+6h	Modem Status Register (MSR)							
	-CD	-RI	-DSR	-CTS	Delta -CD	Delta -RI	Delta -DSR	Delta -CTS
+7h	Scratch Pad Register (SPR) (*4)							
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
+7h	FIFO Level Counter (FLVL) (*3) (*4)							
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

(*1)詳細については割り込み使用方法を参照してください。

(*2)このビットはEFRビット4=1のとき有効になります。

(*3)このレジスタはFCTRビット6=1のとき有効になります。

(*4)COM-4(LPCDH)では「チャンネル4の+7h(I/Oベースアドレス+1Fh)」が割り込みベクタレジスタとして

使われるため、チャンネル4のScratch Pad Register, FIFO Level Counterは使用できません。

COM-8C-LPCIでは「チャンネル4の+7h(I/Oベースアドレス+1Fh)」および「チャンネル8の+7h(I/Oベースアドレス+3Fh)」が

割り込みベクタレジスタとして使われるため、チャンネル4およびチャンネル8のScratch Pad Register, FIFO Level Counterは使用できません。

図3.2. 入力ポート(General Registers)

・ 入力ポート 2(Baud Rate Registers)

CHベース		D7	D6	D5	D4	D3	D2	D1	D0
アドレス	+0h	LSB of Divisor Latch (DLL)							
		Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
	+1h	MSB of Divisor Latch (DLM)							
		Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8

図3.3. 入力ポート(Baud Rate Registers)

・ 入力ポート 3(Enhanced Registers)

CHベース		D7	D6	D5	D4	D3	D2	D1	D0
アドレス	+0h	Trigger Level / FIFO Data Count Register							
		Trig/FC	Trig/FC	Trig/FC	Trig/FC	Trig/FC	Trig/FC	Trig/FC	Trig/FC
	+1h	Feature Control Register (FCTR)							
		Rx/Tx Mode	SCPAD Swap	Trig Bit 1	Trig Bit 0	RS485 Auto control	IrRx Inv.	-RTS Delay Bit 1	-RTS Delay Bit 0
	+2h	Enhanced Feature Register (EFR)							
		Auto -CTS	Auto -RTS	Special Char. select	Enable IER Bits 4-7, ISR, FCR Bits 4-5, MCR Bits 5-7	Cont-3 Tx, Rx Control	Cont-2 Tx, Rx Control	Cont-1 Tx, Rx Control	Cont-0 Tx, Rx Control
	+4h	Xon-1 Word							
		Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
	+5h	Xon-2 Word							
		Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8
	+6h	Xoff-1 Word							
		Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
	+7h	Xoff-2 Word (*1)							
		Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8

(*1)COM-4(LPCDH)では「チャンネル4の+7h(I/Oベースアドレス+1Fh)」が割り込みベクタレジスタとして使われるため、チャンネル4の「Xoff-2 Word」は使用できません。
COM-8C-LPEでは「チャンネル4の+7h(I/Oベースアドレス+1Fh)」および「チャンネル8の+7h(I/Oベースアドレス+3Fh)」が割り込みベクタレジスタとして使われるため、チャンネル4およびチャンネル8の「Xoff-2 Word」は使用できません。

図3.4. 入力ポート(Enhanced Registers)

・ 入力ポート 4(割り込みベクタレジスタ)

チャンネル 1~4 の割り込みベクタレジスタは「I/O ベースアドレス+1Fh」を、チャンネル 5~8 の割り込みベクタレジスタは「I/O ベースアドレス+3Fh」を、使用します。

I/Oベース		D7	D6	D5	D4	D3	D2	D1	D0
アドレス	+1Fh	割り込みベクタレジスタ 1							
		グローバル割り込み	(予約)		CH4 割り込み	CH3 割り込み	CH2 割り込み	CH1 割り込み	
	+3Fh	割り込みベクタレジスタ 2							
		(予約)			CH8 割り込み	CH7 割り込み	CH6 割り込み	CH5 割り込み	

図3.5. 入力ポート(割り込みベクタレジスタ)

・ 出力ポート 1(General Registers)

CHベース アドレス	D7	D6	D5	D4	D3	D2	D1	D0
+0h	Transmit Holding Register (THR)							
	Data Bit 7	Data Bit 6	Data Bit 5	Data Bit 4	Data Bit 3	Data Bit 2	Data Bit 1	Data Bit 0
+1h	Interrupt Enable Register (IER)							
	CTS Interrupt (*2)	RTS Interrupt (*2)	Xoff Interrupt (*2)	Sleep Mode (*2)	MODEM Status Interrupt	Receive Line Status Interrupt	Transmit Holding Register	Receive Holding Register
+2h	FIFO Control Register (FCR)							
	RCVR Trigger (MSB)	RCVR Trigger (LSB)	TX Trigger (MSB)	TX Trigger (LSB)	DMA Mode Select	XMIT FIFO Reset	RCVR FIFO Reset	FIFO Enable
+3h	Line Control Register (LCR)							
	Divisor Latch Enable	Set Break	Set Parity	Even Parity	Parity Enable	Stop Bits	Word Length Bit 1	Word Length Bit 0
+4h	Modem Control Register (MCR)							
	Clock Prescaler Select (*2)	IR Mode Enable (*2)	Xon Any (*2)	Loop Back Enable	-OP2 and INT Enable	Out 1 0:INT Enable 1:INT Disable (*1)	-RTS	-DTR
+5h	(使用不可)							
+6h	(使用不可)							
+7h	Scratch Pad Register (SPR) (*4)							
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
+7h	Enhanced Mode Select Registers (EMSR) (*3) (*4)							
	Reserved	Reserved	RTS Hyst Bit 3	RTS Hyst Bit 2	Reserved	Reserved	Alt.RX/TX FIFO Count	RX/TX FIFO Count

(*1)詳細については割り込み使用方法を参照してください。

(*2)このビットはEFRビット4=1のとき有効になります。

(*3)このレジスタはFCRビット6=1のとき有効になります。

(*4)COM-4(LPCDH)では「チャンネル4の+7h(I/Oベースアドレス+1Fh)」が割り込みベクタレジスタとして使われるため、チャンネル4のScratch Pad Register, Enhanced Mode Select Registersは使用できません。

COM-8C-LPCIでは「チャンネル4の+7h(I/Oベースアドレス+1Fh)」および「チャンネル8の+7h(I/Oベースアドレス+3Fh)」が割り込みベクタレジスタとして使われるため、チャンネル4およびチャンネル8のScratch Pad Register, FIFO Level Counterは使用できません。

図3.6. 出力ポート(General Registers)

・ 出力ポート 2(Baud Rate Registers)

CHベース アドレス	D7	D6	D5	D4	D3	D2	D1	D0
+0h	LSB of Divisor Latch (DLL)							
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
+1h	MSB of Divisor Latch (DLM)							
	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8

図3.7. 出力ポート(Baud Rate Registers)

・出力ポート 3(Enhanced Registers)

CHベース アドレス	D7	D6	D5	D4	D3	D2	D1	D0
+0h	Trigger Level / FIFO Data Count Register							
	Trig/FC	Trig/FC	Trig/FC	Trig/FC	Trig/FC	Trig/FC	Trig/FC	Trig/FC
+1h	Feature Control Register (FCTR)							
	Rx/Tx Mode	SCPAD Swap	Trig Bit 1	Trig Bit 0	RS485 Auto control	IrRx Inv.	-RTS Delay Bit 1	-RTS Delay Bit 0
+2h	Enhanced Feature Register (EFR)							
	Auto -CTS	Auto -RTS	Special Char. select	Enable IER Bits 4-7, ISR, FCR Bits 4-5, MCR Bits 5-7	Cont-3 Tx, Rx Control	Cont-2 Tx, Rx Control	Cont-1 Tx, Rx Control	Cont-0 Tx, Rx Control
+4h	Xon-1 Word							
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
+5h	Xon-2 Word							
	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8
+6h	Xoff-1 Word							
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
+7h	Xoff-2 Word (*1)							
	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8

(*1)COM-4(LPCDH)では「チャンネル4の+7h(I/Oベースアドレス+1Fh)」が割り込みベクタレジスタとして使われるため、チャンネル4の「Xoff-2 Word」は使用できません。

COM-8C-LPEでは「チャンネル4の+7h(I/Oベースアドレス+1Fh)」および「チャンネル8の+7h(I/Oベースアドレス+3Fh)」が割り込みベクタレジスタとして使われるため、チャンネル4およびチャンネル8の「Xoff-2 Word」は使用できません。

図3.8. 出力ポート(Enhanced Register)

・出力ポート 4(割り込みベクタレジスタ)

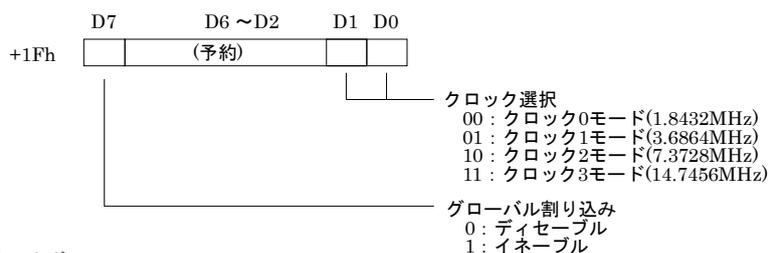
割り込みベクタレジスタは使用するチャンネルに関わらず、「I/O ベースアドレス+1Fh」を使用します。

I/Oベース アドレス	D7	D6	D5	D4	D3	D2	D1	D0	
+1Fh	割り込みベクタレジスタ								
	グローバル 割り込み	(予約)					クロック選 択 Bit 1	クロック選 択 Bit 0	

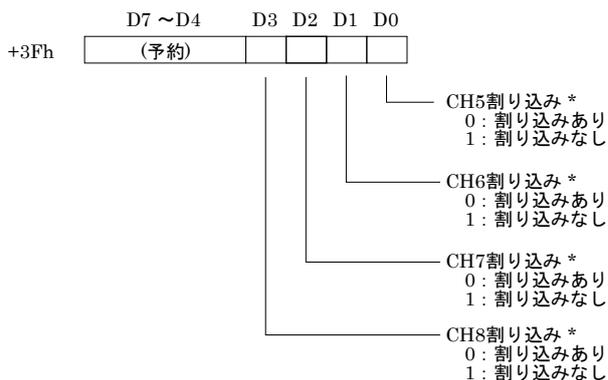
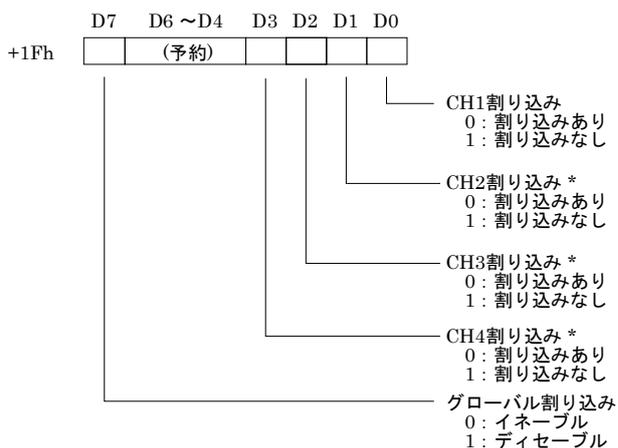
図3.9. 出力ポート(割り込みベクタレジスタ)

3.3. 割り込みベクタレジスタ

●出力ポート



●入力ポート



* : COM-1(LPCI)HはCH2, CH3, CH4, CH5, CH6, CH7, CH8割り込み使用不可です。
 COM-2(LPCI)HはCH3, CH4, CH5, CH6, CH7, CH8割り込み使用不可です。
 COM-4(LPCI)HはCH5, CH6, CH7, CH8割り込み使用不可です。

図3.10 割り込みベクタレジスタ

4. 操作手順

4.1. I/O ポートへのアクセス

I/O ポートへのアクセス方法は添付メディア「標準 COM ドライバソフトウェア COM Setup Disk」の¥Pci¥Dos¥Samples に格納されたサンプルプログラムを参照してください。

4.2. 割り込み機能

このボードを使用するとき、全チャンネルの割り込みは 1 つの割り込み要求ラインだけ受け付けられません。個々のチャンネルの割り込みは、割り込みが発生すると割り込みベクタレジスタ(IVR)にラッチされます。割り込みを受け付けたとき、割り込みサービスルーチン内でどのチャンネルから割り込みが発生したか、IVR を読み込むことで調べることができます。割り込みサービスを実行後、割り込みサービスを抜ける前に再度 IVR を読み込み、ペンディングになっている割り込みがないか調べる必要があります。

XR16C2850 はそれ自身で割り込みをイネーブル(使用可能)にするためと、どのチャンネルが割り込みを発生したか見分けるために内部にレジスタを持っています。このレジスタの使用方法については、EXAR 社から出されている XR16C2850 のデータシートを参照してください。

また、このボードは PCI バスと選択された IRQ ラインをアクティブとするかしないかを定めるグローバル割り込みも持っています。

割り込みを使用するにはグローバル割り込みと各チャンネルの割り込みをともにイネーブルにします。グローバル割り込みは IVR の D7 ビット、各チャンネルの割り込みはモデムコントロールレジスタ(MCR)の D2 ビットで設定します。

グローバル割り込み(IVR の D7 ビット) 「0」を書き込み：ディセーブル(電源投入時)
「1」を書き込み：イネーブル

各チャンネルの割り込み(MCR の D2 ビット) 「0」を書き込み：イネーブル(電源投入時)
「1」を書き込み：ディセーブル

使用しないチャンネルの割り込みはディセーブルにしてください。

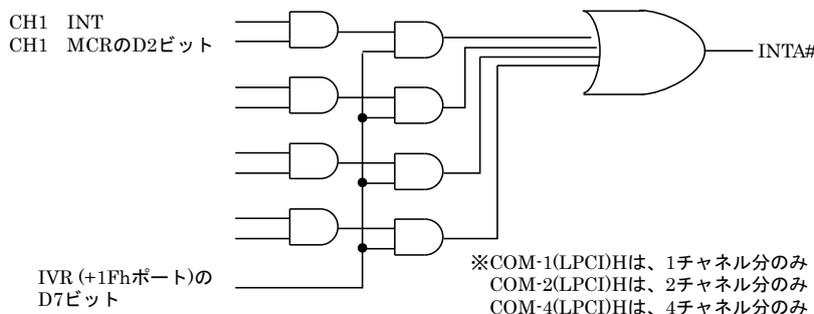


図4.1 割り込み出力制御回路

以上